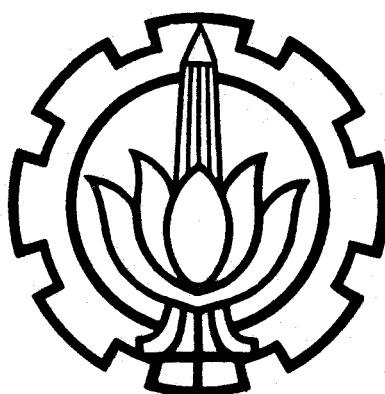


3137/TS/H/90 ✓

STUDI PERENCANAAN MODEL PABX DIGITAL DENGAN PENGONTROL MIKROPROSESOR Z-80



Oleh :

Endroyono

NRP. 2842200206

P8E
621.385 7
End
S-1
1990

**JURUSAN TEKNIK ELEKTRO
FAKULTAS TEKNOLOGI INDUSTRI
INSTITUT TEKNOLOGI SEPULUH NOPEMBER
SURABAYA**

STUDI PERENCANAAN MODEL PABX DIGITAL DENGAN PENGONTROL MIKROPROSESOR Z-80

TUGAS AKHIR

**Diajukan Guna Memenuhi Sebagian Persyaratan
Untuk Memperoleh Gelar
Sarjana Teknik Elektro
Pada**

**Bidang Studi Teknik Telekomunikasi
Jurusan Teknik Elektro
Fakultas Teknologi Industri
Institut Teknologi Sepuluh Nopember
Surabaya**

**Mengetahui / Menyetujui
Dosen Pembimbing**



Ir. SOETIKNO

S U R A B A Y A

PEBRUARI, 1990

ABSTRAK

Studi Perencanaan Model PABX Digital dalam tugas akhir ini bertujuan untuk memberikan gambaran operasi dan perangkat keras sebuah sentral digital mini dalam lingkungan analog dan merangsang pengembangan sentral digital dalam menyongsong era ISDN.

Secara teknik, model PABX ini menggunakan line interface dengan fungsi BORSHT, konversi ke digital menggunakan sistem PCM A-law 30 kanal dan unit switching memanfaatkan kelebihan dari komponen IC TTL yang difungsikan sebagai unit data akuisisi dan matrix switch. Sistem pengendali menggunakan perangkat keras mikroprosesor Z-80 yang sudah dikenal luas penggunaannya dalam sentral dan PABX elektronik (analog ataupun digital) serta tergantung pada kendali perangkat lunak yang dimasukkan pada EPROM.

KATA PENGANTAR

Dengan Rahmad Allah yang maha Pengasih dan Penyayang, penulis dapat menyelesaikan buku tugas akhir dengan judul :

STUDI PERENCANAAN MODEL PABX DIGITAL DENGAN PENGONTROL MIKROPROSESOR Z-80

Tugas akhir ini disusun untuk memenuhi sebagian persyaratan guna memperoleh gelar SARJANA TEKNIK ELEKTRO pada bidang studi Teknik Telekomunikasi, Jurusan Teknik Elektro, Fakultas Teknologi Industri, Institut Teknologi Sepuluh Nopember Surabaya.

Diharapkan tugas akhir ini dapat bermanfaat dan dapat memacu untuk lebih mendalami penerapan dan pengembangan teknologi digital dibidang telekomunikasi.

Surabaya, Januari 1990

Penyusun

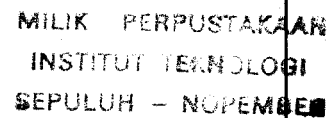
UCAPAN TERIMA KASIH

Dengan Selesainya buku tugas akhir ini, saya sampaikan ucapan terima kasih dan penghargaan yang setinggi-tingginya kepada :

1. Bp.Ir. Sutikno sebagai dosen pembimbing tugas akhir,
2. Bp. Dr. Ir. Agus Mulyanto selaku dosen wali dan koordinator bidang studi Telekomunikasi,
3. Seluruh staf pengajar bidang studi Telekomunikasi dan teknik Elektro pada umumnya yang telah memberikan dasar-dasar keilmuan,
4. Bapak dan ibu yang telah memberikan dorongan moral dan material dengan segala pengorbanan,
5. Rekan-rekan di bidang studi Telekomunikasi dan teknik elektro pada umumnya,
6. Serta semua pihak yang telah ikut berpartisipasi dan membantu hingga selesainya buku ini.

Semoga Allah S.W.T memberikan Rachmad, Hidayah dan Inayah pada kita sekalian serta tercapai apa yang kita cita-citakan bersama. Amin.

Penyusun



HALAMAN

vi

II.2.4.2	TONE SIGNALLING	14
II.2.4.3	DIGITAL SIGNALLING ...	16
II.2.4.4	DETEKSI NADA	17
II.2.5	CODEC DAN FILTER	19
II.2.5.1	SISTEM PCM	19
II.2.5.2	PCM FILTER	20
II.2.5.3	PEMROSESAN SINYAL	22
II.2.5.4	PCM MULTIPLEXING DAN- CHANNEL BANK	23
II.2.6	HYBRID & BALANCING NETWORKS ...	30
II.3	SWITCHING NETWORK	31
II.3.1	KONSEP PELETAKAN SWITCH	31
II.3.2	TEKNOLOGI SIRKIT SWITCHING	33
II.3.2.1	PERKEMBANGAN TEKNOLOGI SIRKIT SWITCHING	33
II.3.2.2	PCM SWITCHING	33
II.4	SISTEM KONTROL KOMPLEK	39
II.5	PABX DALAM JARINGAN TERPASANG DAN -	
	DISAIN ISDN	40
II.5.1	PABX DALAM JARINGAN TERPASANG - (EXISTING)	40
II.5.2	PABX DALAM JARINGAN PELAYANAN - DIGITAL TERPADU ISDN	41
BAB III	KOMPONEN DAN SISTEM MIKROPROSESOR	43
III.1	GERBANG LOGIKA	43
III.2	BISTABLE MULTIVIBRATOR	44
III.2.1	D FLIP-FLOP	44
III.2.2	TOGGLE (T) FLIP-FLOP	45
III.3	ASTABLE MULTIVIBRATOR (CLOCK)	45

III.4	PENCACAH (COUNTER)	47
III.5	MULTIPLEK DAN DEMULTIPLEK	48
III.5.1	MULTIPLEK ANALOG	48
III.5.2	MULTIPLEK DIGITAL	49
III.5.3	DEKODER DAN DEMULTIPLEK	50
III.6	KONVERSI ANALOG KE DIGITAL (ADC)	51
III.7	SISTEM MIKROPROSESOR	53
III.7.1	ASPEK PEMILIHAN MIKROPROSESOR	
	Z-80	53
III.7.2	PIN DAN SINYAL PADA CPU Z-80	53
III.7.2.1	SYSTEM BUS	55
III.7.3	8255 PARALEL I/O	60
III.7.4	RANDOM ACCESS MEMORY (RAM)	63
III.7.5	READ ONLY MEMORY	66
III.7.6	HUBUNGAN MEMORI DAN CPU	67
III.8	APLIKASI IC LM 555	68
III.8.1	ONE SHOT MULTIVIBRATOR	68
III.8.2	TONE DECODER	69
III.10	TRANSISTOR SWITCH	70
III.10.1	SWITCHING TRANSISTOR	70
III.10.2	OPTOCOUPLER	71
BAB IV	PERENCANAAN MODEL PABX	73
IV.1	DESKRIPSI UMUM SISTEM	73
IV.1.1	BLOK DIAGRAM SISTEM	73
IV.2	PERENCANAAN LINE INTERFACE	75
IV.2.1	SUPERVISORY INTERFACE	76
IV.2.1.1	INTERFACE DETECTION	-
	LOOP	76
IV.2.1.2	DTMF RECEIVER	80

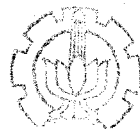
IV.2.2 RINGING INTERFACE	86
IV.2.2.1 PEMBANGKIT 425 Kz	86
IV.2.2.2 PENGATUR CANDLE DAN PANJANG PULSA	87
IV.2.2.3 PROSES PEMILIHAN NADA	87
IV.2.2.4 PENGHUBUNG NADA	88
IV.2.3 SIGNALING INTERFACE (PEMANGGIL - TRUNK)	92
IV.3 PERENCANAAN TIMING DAN PEMBANGKIT PULSA	93
IV.3.1 CLOCK UTAMA	94
IV.3.2 PEMBAGI CLOCK	95
IV.4 PCM CODEC	97
IV.4.1 ENCODER	97
IV.4.1.1 MULTIPLEX ANALOG 32 KANAL	98
IV.4.1.2 BUFFER DAN PEMBANGKIT - PAM	98
IV.4.1.3 KONVERSI ANALOG KE - DIGITAL (SAR ADC)	106
IV.4.2 ENCODER	109
IV.5 TIME DIVISION SWITCH	113
IV.5.1 KONSEP PERENCANAAN	113
IV.5.2 DIGITAL TIME SWITCH	114
IV.5.3 MATRIX (SPACE SWITCHING)	116
IV.5.4 PENGONTROL PEMILIH OUTGOING SLOT	118
IV.6 RANGKAIAN PENGENDALI	122
IV.6.1 PENDAHULUAN	122
IV.6.2 PEMBERIAN ALAMAT UNTUK MEMORI DAN I/O	123

IV.6.2.1	PEMBERIAN ALAMAT UNTUK	
	MEMORI	123
IV.6.2.2	PENGALAMATAN CHIP 8255/1	
	DAN 8255/2	124
IV.6.3	CLOCK UNTUK Z-80	128
IV.6.4	PERENCANAAN RANGKAIAN RESET	128
IV.6.5	RANGKAIAN INTERRUPT	129
IV.7	PERENCANAAN PERANGKAT LUNAK	131
	IV.7.1 PROGRAM INISIALISASI	133
	IV.7.2 PROGRAM SWITCHING	135
BAB V	KESIMPULAN DAN SARAN	137
	V.1 KESIMPULAN	137
	V.2 SARAN	138
	Daftar pustaka	140
	LAMPIRAN A STATIC STIMULUS TEST	143
	LAMPIRAN B USULAN TUGAS AKHIR	145

DAFTAR GAMBAR

GAMBAR	HALAMAN
2.1	DIAGRAM BLOK DASAR SISTEM SWITCHING PABX DIGITAL 7
2.2	CARA PENCATUAN 9
2.3	RANGKAIAN PELINDUNG POLARITAS DAN TEGANGAN 11
2.4	SINYAL RINGING KONVENSSIONAL 11
2.5	PEMBANGKITAN NADA JAMAK 13
2.5	GROUND START SIGNALLING 14
2.7	CONTOH SIGNALING CODE DALAM FORMAT DIGITAL 16
2.8	DTMF RECEIVER 18
2.9	DIAGRAM BLOK SISTEM PULSE CODE MODULATION. 21
2.10	KARAKTERISTIK IDEAL FILTER PCM 21
2.11	PEMBAGIAN LEVEL SESUAI COMPANDING A 24
2.12A	SUSUNAN TIME SLOT PADA TDM-PCM 26
2.12B	PRINSIP DASAR DARI DIGITAL TIME DIVISION - MULTIPLEXING 26
2.13	D1 CHANNEL BANK (ANALOG MUX) 29
2.14	D1 CAHNNEL BANK (DIGITAL MUX) 29
2.15	HYBRID DAN BALANCE NETWORKS 30
2.16	SWITCHING TIDAK TERPUSAT 31
2.17	SWITCHING TERPUSAT 32
2.18	APLIKASI SWITCHING PCM "TIME SPACE TIME" . 36
2.19	APLIKASI SWITCGING PCM "SPACE TIME SPACE". 37
2.20	APLIKASI DIGITAL CROSSPOINT ARRAY DAN - KONTROL 38
2.21	KONFIGURASI KENDALI PADA SENTRAL 39
2.22	HIERARKI SWITCHING DAN ROUTING 40
2.23	ISDN USER NETWORK INTERFACE 42

3.1	OPERASI GERBANG LOGIKA DASAR	43
3.2	DATA/DELAY FLIP-FLOP	44
3.3	RANGKAIAN T FLIP-FLOP	45
3.4	ASTABLE CLOCK MENGGUNAKAN COUNTER	46
3.5	OPERASI DAN BENTUK GELOMBANG PENCACAH 4 - TAHAP	47
3.6	CMOS SWITCH SEBAGAI ANALOG TDM	48
3.7	RANGKAIAN MULTIPLEX 32 KANAL INPUT	49
3.8	DEKODER "1 DARI 64"	50
3.9	DATA DEMULTIPLEX	51
3.10	PENERAPAN SAR ADC DALAM PCM CODEC	51
3.11	OPERASI SAR ADC DAN COMPANDING DAC	52
3.12	PIN DAN SINYAL PADA MIKROPROSESOR Z-80	54
3.13	ARSITEKTUR INTERNAL MIKROPROSESOR Z-80 ..	54
3.14	KONFIGURASI SISTEM MINIMUM MIKROPROSESOR .	55
3.15	HUBUNGAN SISTEM BUS DAN BUFFER	56
3.16	REGISTER DAN STATUS FLAG Z-80	59
3.17	PIN DAN SINYAL PPI 8255	61
3.18	DEFINISI BIT KENDALI REGISTER 8255	64
3.19	TIMING PEMBACAAN MEMORI OLEH Z-80	65
3.20	TIMING PENULISAN MEMORI DARI Z-80	66
3.21	HUBUNGAN Z-80 DENGAN MEMORI 2716, 2732 DAN 6116	67
3.22	555 TIMER SEBAGAI ONE-SHOT DAN ASTABLE - MULTIVIBRATOR	68
3.23	TONE DEKODER LM 567	70
3.24	RANGKAIAN OPTOISOLATOR	72
3.25	TRANSISTOR SEBAGAI SWITCH	72
4.1	DIAGRAM APLIKASI MODEL	74
4.2	DIAGRAM BLOK SISTEM	74



4.3	DIAGRAM BLOK LINE INTERFACE	75
4.4	DIAGRAM KEADAAN DETEKTOR LOOP DAN TRUNK ..	76
4.5	RANGKAIAN DETEKTOR NADA 425 Hz	78
4.6	RANGKAIAN INTERFACE DETECTION LOOP	81
4.7	STATE DIAGRAM PENERIMA DIGIT	84
4.8	RANGKAIAN DTMF RECEIVER	85
4.9	DIAGRAM BLOK PEMBANGKIT NADA	86
4.10	RANGKAIAN PEMBANGKIT NADA	90
4.11	RANGKAIAN PENGHUBUNG NADA	91
4.12	RANGKAIAN PEMANGGIL TRUNK	92
4.13	DIAGRAM WAKTU DARI SISTEM CLOCK	93
4.14	RANGKAIAN CLOCK UTAMA 4.096 MHz	94
4.15	RANGKAIAN PEMBAGI CLOCK 32 LANGKAH	96
4.16	DIAGRAM BLOK CODEC	97
4.17	RANGKAIAN MULTIPLEK 32 KANAL	100
4.18	RANGKAIAN BUFFER LM357	102
4.19	PROSES PEMBANGKITAN PAM	103
4.20	RANGKAIAN PEMBANGKIT PAM	103
4.21	RANGKAIAN SUMBER ARUS KONSTAN	105
4.22	OPERASI COMPANDING DAC 87	108
4.23	RANGKAIAN SAR ADC	110
4.24	RANGKAIAN DEKODER	112
4.25	KONSEP PERENCANAAN TIME DIVISION SWITCH ..	114
4.26	IC 74LS154 SEBAGAI TIME SWITCH	117
4.27	RANGKAIAN MATRIX SWITCH	118
4.28	DIAGRAM KEADAAN PENGONTROL	120
4.29	RANGKAIAN PEMILIH ALAMAT (BIT KONTROL) ...	121
4.30	DIAGRAM BLOK SISTEM PENGENDALI	122
4.31	PENGALAMATAN MEMORI DAN 8255 MENGGUNAKAN - DEKODER	125

4.32	PENGALAMATAN DAN PEMBAGIAN PORT 8255/1 DAN 8255/2	127
4.33	RANGKAIAN POWER ON SELF RESET	128
4.34	PERENCANAAN RANGKAIAN INTERRUPT	129
4.35	RANGKAIAN PENGENDALI UTAMA	130
4.36	DIAGRAM ALIR PROGRAM INISIALISASI	134
4.37	DIAGRAM ALIR PROGRAM SWITCHING	135
4.38	DIAGRAM ALIR PROGRAM SWITCHING	136
A1	HUBUNGAN SST DENGAN SUT	144

DAFTAR TABEL

TABEL	HALAMAN
2.1 JENIS-JENIS SIGNALING BERDASAR FUNDAMENTAL PLAN PERUMTEL 1985	15
2.2 HARGA-HARGA UNTUK CODEC PCM A-LAW	25
2.3 PERBADINGAN BEBERAPA CHANNEL BANK	28
3.1 PENGALAMATAN PORT-PORT PADA 8255	62
4.1 TABEL KEBENARAN IC 74LS150	79
4.2 TABEL KEBENARAN IC 74LS148	80
4.3 HARGA-HARGA KOMPONEN DTMF RECEIVER	82
4.4 TABEL KEBENARAN IC 74LS92	83
4.5 TABEL KEBENARAN IC 74LS75	84
4.6 TABEL KEBENARAN IC 74LS163	95
4.7 TABEL KEBENARAN IC MULTIPLEK 4067	99
4.8 TABEL OPERASI SAR	107
4.9 OPERASI GERBANG XOR SEBAGAI PENGINDERA ...	110
4.10 TABEL KEBENARAN OPERASI IC 74LS154	115
4.11 OPERASI LATCH 74LS373	120
4.12 PEMBERIAN ALAMAT PADA PENDUKUNG CPU Z-80 .	123

BAB I

PENDAHULUAN

1.1. LATAR BELAKANG

Perkembangan teknologi elektronik dan digital yang pesat telah mempengaruhi teknologi telekomunikasi termasuk bidang jasa telepon dan sistem switching. Setahap demi setahap pengguna sentral switching analog dengan sistem step by step, perangkat cross-bar dan analog elektronik mulai beralih menggunakan sistem switching elektronik penuh, serta dibidang transmisi beralih dari transmisi analog ke transmisi digital yang dikendalikan "Stored Program" dalam memori komputer atau sistem minimum mikro-prosessor.

dengan kecenderungan harga komponen semikonduktor yang semakin murah dan semakin banyaknya modul-modul rangkaian terpadu untuk keperluan komunikasi memungkinkan seluruh sentral dan PABX didigitalisasi. Digunakannya pengontrol mikroprosesor yang saling cocok (compatible) dan protokol yang seragam akan memudahkan 'penggabungan' antara satu sentral dan sentral digital lain dalam pengawasan pengontrol induk untuk mencapai jaringan pelayanan digital terpadu (ISDN).

Beberapa alasan pemilihan penggunaan sistem digital terutama pada sistem telekomunikasi adalah :¹⁾

1. Mudah dalam melakukan multiplexing kanal dan informasi.
2. Pensinyalan dikirim bersamaan dengan informasi.
3. Dapat memadukan antara sistem transmisi dan sistem penyambungan (switching).
4. Dapat dioperasikan pada S/N rendah pada rasio interferensi tinggi.
5. Dapat dilakukan regenerasi sinyal.
6. Penampilan dapat selalu dimonitor dan mudah menyandikan data untuk keamanan switching.

1) Bellamy, John, "Digital Telephony", John-Willey & Sons, Singapore 1985.

1.2 TUJUAN PENULISAN

Tujuan tugas akhir ini adalah untuk mempelajari konsep-konsep dan parameter PABX digital dan merencanakan model PABX digital PCM dengan pengontrol prosesor Z-80.

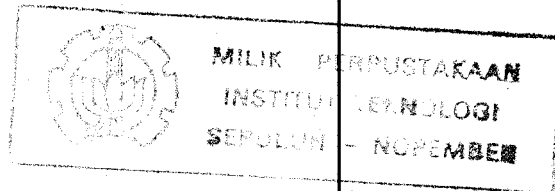
1.3. PERMASALAHAN

Dalam perencanaan sistem switching digital terutama penerapan sistem digital dalam lingkungan yang sebagian besar analog, ada banyak pertanyaan yang harus dijawab dan diputuskan.

Diantaranya :²⁾

1. Tujuan dan lokasi penerapan sistem serta kapasitas maksimum sistem.
2. Jenis enkoding suara dan prosesing data yang digunakan.
3. Cara berhubungan antara trunk dan saluran dalam (extention) serta bentuk arsitektur yang diinginkan.
4. Cara penanganan signalling dan rangkaian kontrol.
5. Pemilihan teknologi untuk sistem.
6. Terakhir, apakah sistem yang direncanakan potensial untuk integrasi dengan sistem masa datang.

²⁾ Keiser, BE/ Eugene S, "Digital Telephony and Network Integration", Van Nostrand-Reinhold co. ,california, 1985, pp.293



Karena sebuah PABX berhubungan dengan sentral lokal, maka dalam perencanaan harus memperhatikan rekomendasi yang sesuai.

1.4 PEMBATAAN MASALAH

Dari beberapa konfigurasi dan penerapan PABX digital, pada tugas akhir ini studi difokuskan pada pengenalan parameter PABX digital dan penerapan PCM dan Time Division Switch.

Dalam perencanaan diasumsikan telepon yang digunakan adalah telepon analog sistem dual tone multi frequency (DTMF). Pengkodean sinyal menggunakan cara multiplek codec PCM tunggal. Sistem kontrol hanya mengendalikan saat mulai suatu proses, menerima interrupt, dan processing data. Proses selanjutnya dilakukan secara perangkat keras terpisah dari sistem kontrol.

1.5. LANGKAH-LANGKAH PEMBAHASAN

Pembahasan tugas akhir ini akan disajikan dengan urutan sebagai berikut :

Bab II berisi teori penunjang mengenai parameter-parameter PABX digital yang meliputi fungsi BORSHT, sistem PCM, Time Division Switch (TDSW), serta beberapa rekomendasi yang mendukung.

Bab III membahas fungsi, karakteristik dan dari komponen pendukung proses, meliputi sistem mikroprosesor Z-80,

CODEC (ADC/ DAC), gerbang logika dan multiplek, serta komponen semikonduktor lain.

Bab IV membahas perencanaan model PABX Digital berdasarkan fungsi dari karakteristik masing-masing komponen penunjang dan parameter disesuaikan teori pada bab sebelumnya.

Bab V berisi kesimpulan dan saran untuk pengembangan model PABX digital yang direncanakan.

B A B I I

PARAMETER-PARAMETER PABX

II.1 MODEL PABX DIGITAL

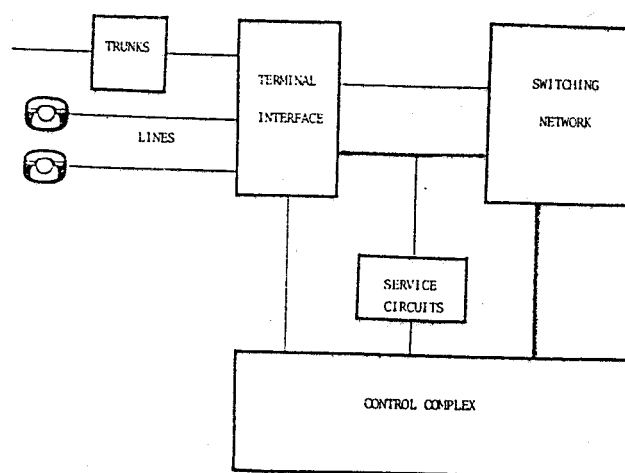
Gambaran umum sebuah sistem PABX Digital ditunjukkan pada gambar 2.1. Terdiri dari 3 blok utama dan blok-blok tambahan tergantung penerapannya :

- A. **Trunk** : Menghubungkan sentral umum (PERUMTEL) ke PABX.
Pada sentral umum, PABX berfungsi sebagai beban dengan nomor sendiri. Sentral terhadap PABX dianggap telepon semu (dummy telepon) yang mempunyai catu daya sendiri.
- B. **Lines** : Merupakan telepon pelanggan PABX .
- C. **Terminal interface** : Penghubung seluruh saluran (lines) dan Trunk ke sistem switching. terminal interface terdiri dari line circuit yang mempunyai fungsi BORSH dan Codec sebagai unit pengubah dari analog ke digital.
- D. **Switching Networks**: Penghubung pembicaraan. Dapat dipilih dalam time switching, space atau gabungan keduanya.
- E. **Control Complex** : Mengendalikan pensinyalan, koordinasi saluran dan modul serta melakukan proses switching. Dalam perkembangannya berdasar sistem kontrol yang digunakan, dikenal :

- kontrol manual, sudah ditinggalkan.

- kontrol progresif, digunakan pada switching step by step. pengontrolan secara mekanis dan tidak dapat menggunakan tone signalling (DTMF).
- kontrol terpadu (common control), digunakan pada matrik switch dikendalikan secara perangkat keras atau lunak (stored program control).

F. Service Circuit (Unit Tambahan) : Untuk penerapan yang lebih luas dapat dilengkapi pembangkit pulsa tambahan, modem, dan peralatan transmisi data lain serta fasilitas-fasilitas tambahan untuk pemanggilan (night call dll.).



GAMBAR 2.1 ³⁾

BLOK DIAGRAM DASAR SISTEM SWITCHING PABX DIGITAL

³⁾ Keiser, Bernard, E/Eugene Strage, opcit., p.245

11.2. LINE TERMINAL INTERFACE

Banyak persyaratan yang diperlukan agar sebuah PABX dapat menangani isyarat-isyarat dan informasi dari dan ke pelanggan.

Dari beberapa yang ditentukan oleh CCITT yang paling dikenal adalah fungsi BORSCH, yaitu : Catu (battery), pelindung beban lebih (overload protection), pengebelan (ringing), pengawasan dan pensinyalan (supervision dan signalling), pengkode (coded) serta test.

11.2.1. PENCATUAN (BATTERY FEED)

Menurut Fundamental Technical Plan Deparpostel 1985 catu untuk saluran ditetapkan sebesar (-48 Volt). Battery catu harus mempunyai fungsi dan sifat berikut :

1. Daya (power) untuk telepon set sebesar 48 Vdc.
2. Mampu membawa informasi dari dan ke telepon.
3. Mempunyai resistansi DC yang rendah.
4. Mempunyai impedansi AC yang tinggi.

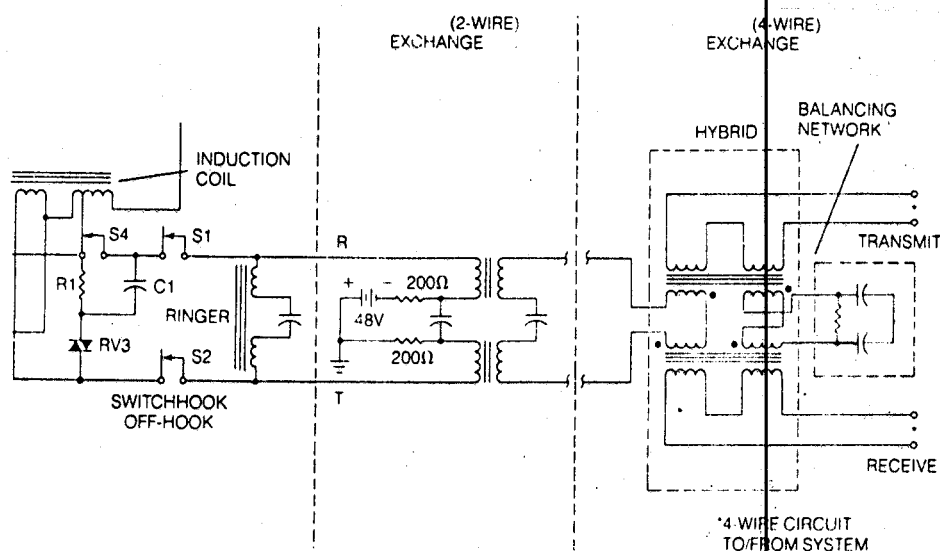
Kopling antara sentral (PABX) dengan telepon yang dicatu dapat dilakukan dengan cara kopling induktor atau kopling kapasitor tergantung jenis supervisory signalling yang digunakan dan desain dari sentral itu sendiri. Gambar cara pencatuan dapat dilihat pada gambar 2.2

Dengan $V_B = 48 \text{ Vdc}$, tiap battery akan dibebani oleh L_1 dan L_2 yang merupakan jumlah total impedansi saluran dan relay sensor, sedangkan R_1 dan R_2 merupakan resistansi

total dari saluran dan rangkaian deteksi. Dalam keadaan tersebut pada tiap saluran ditentukan bahwa arus kerja minimum tidak boleh kurang dari 20 mA. Jika arus kerja pada saluran kurang dari 20 mA akan berakibat pesawat telepon tidak beroperasi dengan sempurna.

11.2.2. RANGKAIAN PROTEKSI

Karena peralatan dalam sebuah PABX digital lebih banyak menggunakan rangkaian semikonduktor, maka perlu komponen yang dapat melindunginya dari tegangan transient akibat kilat, transient switching dan induksi dari jaringan listrik serta terbaliknya polaritas.



GAMBAR 2.2 4)

CARA PENCATUAN

4) John I. Fike, Understanding Telephone Electronics, Texas Instruments, Dallas, Texas, 1984, p.67

11.2.2.1 Rangkaian penahan tegangan lebih

Untuk melindungi peralatan dari tegangan yang melebihi harga nominal digunakan satu atau lebih dioda zener. Dioda zener tersebut dipasang melintang pada saluran (menghubungkan sisi R dan T).

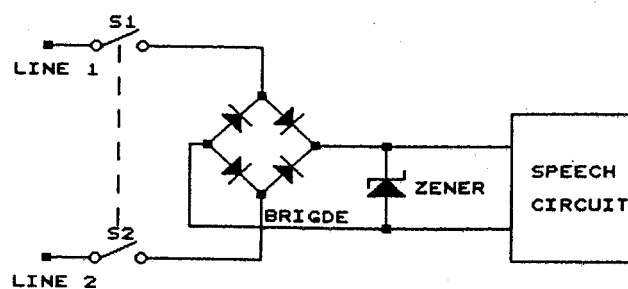
11.2.2.2 Pelindung polaritas

Polaritas dari tegangan input merupakan hal kritis pada rangkaian elektronis, karena dapat mengakibatkan tidak beroperasinya rangkaian jika polaritas terbalik. Metode yang lazim digunakan adalah jembatan penyearah, yang akan mempunyai output yang benar meskipun terjadi pembalikan polaritas.

11.2.3 RINGING

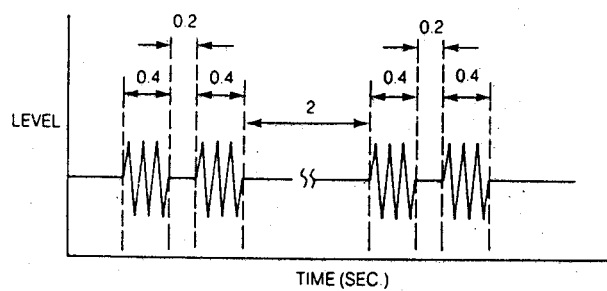
11.2.3.1 Ringing konvensional

Pada sentral konvensional susunan dari ringing adalah frekuensi 16 sampai 60 Hz dengan tegangan rata-rata 48 Volt sampai 90 Volt. Pembangkit ringing yang sering digunakan adalah motor DC yang menggerakkan generator AC atau menggunakan inverter. Sinyal AC yang dibangkitkan diatas diumpankan ke loop dalam jeda-jeda yang teratur seperti gambar 2.4. Perbandingan antara ON dan OFF dapat ditentukan tersendiri.



GAMBAR 2.3 5)

RANGKAIAN PELINDUNG POLARITAS DAN TEGANGAN



GAMBAR 2.4 6)

SINYAL RINGING KONVENSIONAL

5) Fike, opcit., p.72

6) Fike, opcit., p.55

11.2.3.2 Ringing nada jamak

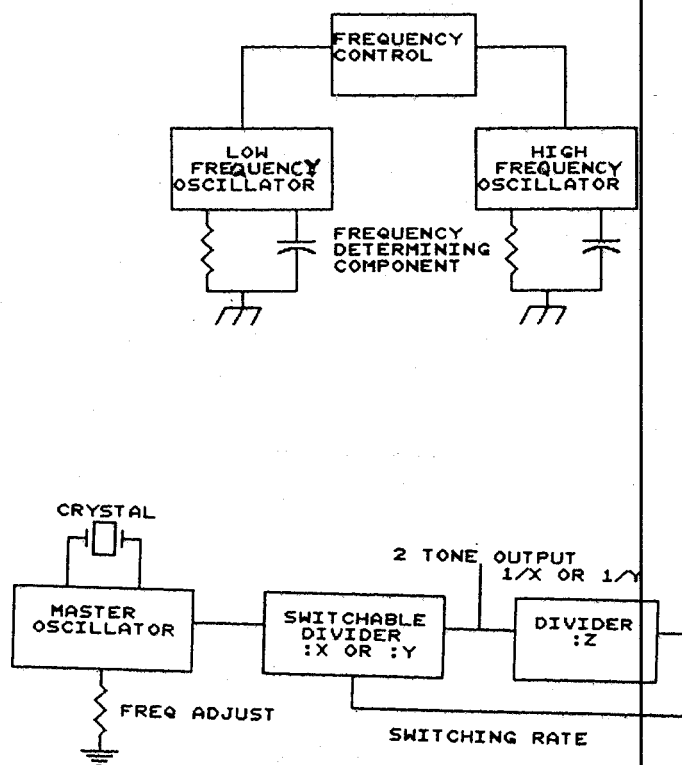
Pada sentral dan PABX yang baru, ringing, nada sibuk, nada pilih dan nada-nada lain dapat dikirim dalam bentuk yang sama dan berdaya kecil. Hal ini karena sifat pesawat teleponnya yang sudah mempunyai deteksi nada elektronis.

Paling tidak ada dua cara untuk menghasilkan nada yang ditunjukkan pada gambar 2.5. Cara pertama, menggunakan dua osilator untuk menghasilkan frekuensi rendah (10 sampai 20 Hz) dan frekuensi tinggi (425 sampai 480 Hz). Sinyal frequency control akan melakukan pemilihan dan penggabungan nada rendah dan tinggi selama pengiriman ringing dan nada. Cara kedua adalah menggunakan pembagi frekuensi. Sebuah master osilator dibagi dengan X dan Y sehingga menghasilkan frekuensi output f/X dan f/Y .

11.2.4 SUPERVISION & SIGNALLING

Supervisi merupakan bagian dari proses pensinyalan, yang bertugas mendeteksi kondisi saluran dalam keadaan off-hook, menerima nomor input (dial) dan menerima ringing jawaban pada kasus hubungan antar sentral. Secara umum kondisi dari saluran dapat dideteksi dengan melihat aliran arus yang melewatinya.

Contoh beberapa bentuk signaling dapat ditunjukkan di bawah ini :

GAMBAR 2.5 ⁷⁾

PEMBANGKITAN NADA JAMAK

- CCS/CCIS signaling : untuk berhubungan antar sentral,
- DC signaling : digunakan untuk supervisory, kondisi line dideteksi sebagai adanya aliran arus DC,
- Tone Signaling : mendeteksi nada dari sentral 425 Hz dan deteksi DTMF.
- Digital signaling : format dari kondisi saluran dinyatakan sebagai bit-bit digital,

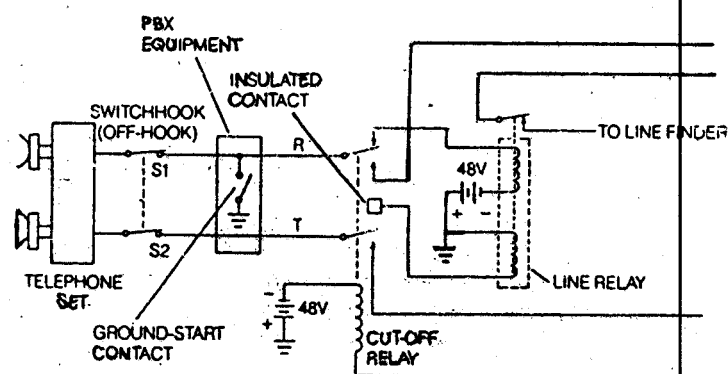
⁷⁾ Fike, opcit., p.113

11.2.4.1 DC signalling

Bekerja berdasarkan ada dan tidaknya arus pada saluran (loop). Dengan pengenalan kondisi pulsa tersebut dapat dikenal saluran dalam keadaan on-hook, off-hook atau putaran nomor. Yang termasuk jenis ini adalah ground-start signalling PABX ke sentral.

11.2.4.2 Tone Signalling

Digunakan beberapa 'nada' untuk mengenal dan mengendalikan saluran. Nada dapat berupa 'tone' kontinyu atau 'burst tone' yang on dan off dengan kecepatan tertentu. Pada Fundamental plan ditunjukkan pada tabel annex 1 yang berada dalam kategori 'in-band signalling'.



GAMBAR 2.6 ⁸⁾

GROUND START SIGNALLING

⁸⁾ Fike, opcit., p.113

TABEL 2.1 ⁹⁾

JENIS-JENIS SIGNALLING BERDASAR FUNDAMENTAL PLAN
PERUMTEL 1985

NO.	TONES	FREQUENCY	CANDENCE	LEVEL
1.	Dial tone	425 Hz \pm 25 Hz	Continuous	- 9 \pm 2.5 dBmo
2.	Ring tone	425 Hz \pm 25 Hz	1 second on. 4 second off	- 9 \pm 2.5 dBmo
3.	Busy tone	425 Hz \pm 25 Hz	0.5 seconds on. 0.5 seconds off	- 9 \pm 2.5 dBmo
4.	Congestion	425 Hz \pm 25 Hz	0.25 seconds on, 0.25 seconds off	- 9 \pm 2.5 dBmo
5.	Special information tone	950 Hz \pm 50 Hz 1400 Hz \pm 50 Hz 1800 Hz \pm 50 Hz	tone period 330 ms on, 30 ms off 330 ms on, 30 ms off 330 ms on, 30 ms off silent period 1000 ms off	- 9 \pm 2.5 dBmo
6.	Trunk offering tone	425 Hz \pm 25 Hz	0.5 seconds on. 0.5 seconds off 0.5 seconds on. 1.0 seconds off	-12 \pm 2.5 dBmo
7.	Number unobtainable tone 1)	425 Hz \pm 25 Hz	2 seconds on. 0.5 seconds off	- 9 \pm 2.5 dBmo
8.	Payphone recognition tone	f1 1200 Hz \pm 1.5% f2 800 Hz \pm 1.5%	200 ms on. 200 ms off 200 ms on. 2000 ms off	- 9 \pm 2.5 dBmo

⁹⁾ Ditjen Postel, Fundamental Plan Perumtel 1985, Parpostel, 1985, annex.5

11.2.4.3 Digital signalling

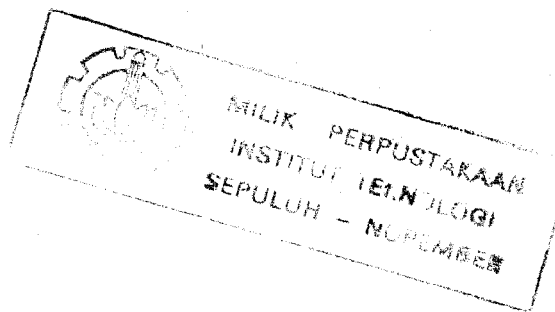
Pada gambar 2.7. ditunjukkan cara penyusunan kode-kode dalam format 8 bit dari d0 - d7 dalam satu time slot yang sama. Dengan kode selebar 8 bit dalam satu time slot akan dapat dikodekan sebanyak 255 kode. Pada fundamental plan pada annex 6 (tabel A-6-2) ditetapkan "F6 signalling" yang berupa 21 bentuk signalling dalam kode biner pada time slot 16 pada PCM multipleks.

Signal/State	Direction	Duration	Signalling bit TS16	
			Forward	Backward
Idle	State	continous	a b c d 1 1 1 1	a b c d 0 1 1 1
Seizure	Forward	continous	0 1 1 1	-----
Seized	Backward	continous	-----	1 1 1 1
Dialling pulse	Forward	60 + 3 ms	0 0 1 1	-----
Dialling Pause	Forward	40 + 2 ms	0 1 1 1	-----
Interdialt pause	Forward	min 650 ms	0 1 1 1	-----
Waiting answer	State	continous	0 1 1 1	-----
Metering	Backward	150+30 ms	-----	1 1 0 1
Trunk offering	Forward	continous	0 1 0 1	-----
Blocking	State	continous	1 1 1 1	1 1 1 1

GAMBAR 2.7 ¹⁰⁾

CONTOH KODE SIGNALLING DALAM FORMAT DIGITAL

¹⁰⁾ Ditjen postal, opcit., annex.6



11.2.4.4 DETEKSI NADA

Agar dapat menerima tone signalling, sentral dan PABX harus dilengkapi dengan pendeteksi nada yang dikirim dari sentral lain atau dari pesawat telepon.

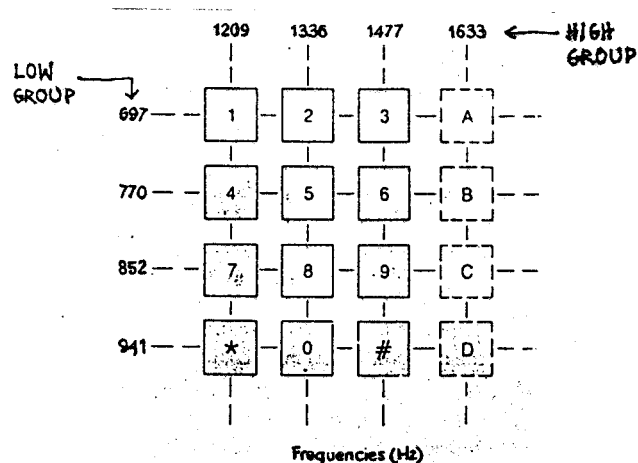
A. Karakteristik Penerima DTMF

Telepon elektronis sebagian besar menggunakan cara 'tone dialing' untuk menyatakan nomor tujuan, yang berupa papan tekan DTMF (dual tone multifrekuensi). Pembagian frekuensi DTMF ditunjukkan pada gambar 2.8.a

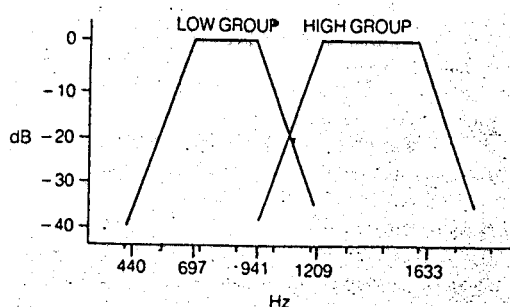
Persyaratan sebuah penerima DTMF adalah sebagai berikut :

1. Dapat mendeteksi sinyal dengan penyimpangan $\pm 1.5\%$ dari harga nominal dan mengabaikan sinyal-sinyal dengan penyimpangan melebihi $\pm 3.5\%$.
2. Mampu mendeteksi hanya satu nada dalam satu group dalam interval 40 mdetik dan tidak akan mendeteksi digit yang muncul jika interdigit interval kurang dari 20 mdetik.
3. Mampu mendeteksi sinyal dengan level $-16 \text{ dBm} \pm 3\text{dB}$ untuk tiap frekuensi.
4. Dapat mendekode sinyal yang mempunyai perbandingan daya per frekuensi -25 sampai 0dBm , dengan nada group tinggi $+4$ sampai -8 dB relative terhadap nada group rendah.
5. Diharapkan kesalahan pendekodean dibawah $1 : 10.000$.

Tone yang dikirim dari telepon set tersebut harus secara cermat diterima oleh penerima digit pada sentral. Digita receiver harus dilengkapi rangkaian filter yang hanya menerima frekuensi tertentu. Karakteristik filter ideal dari DTMF receiver dapat dilihat pada gambar (2.8b).



A. PEMBAGIAN FREKUENSI DTMF



B. KARAKTERISTIK FILTER PENERIMA

GAMBAR 2.8 ¹¹⁾

D T M F RECEIVER

¹¹⁾ Arthur B. William, Designer Handbook of Integrated Circuits Graw-hill co., Tokyo, 1988, p.4-21

11.2.5. CODEC dan FILTER

Standart pengkode pada sistem telepon digital adalah PCM selain modulasi Delta.

11.2.5.1 SISTEM PCM

Diagram blok dari sebuah sistem PCM dapat dilihat pada gambar 2.9. Pada diagram tersebut saluran transmisi dapat berupa pemancar-penerima atau sistem switching telepon. Kegiatan yang dilakukan oleh tiap-tiap blok adalah sebagai berikut :

1. Sinyal input $s(t)$ dibatasi lebar bidangnya, menggunakan low-pass filter sebesar F Hz (300-3400 Hz untuk suara).
2. Sinyal yang telah dibatasi tersebut disampling dengan kecepatan f_s , dengan kriteria niquist ditentukan besarnya $f_s \geq 2 F$. Menurut CCITT Rec. G.711 sampling rate PCM dari frekuensi suara ditetapkan 8000 sample per detik. Dengan toleransi kecepatan ± 50 bagian per juta (ppm) setiap 125 μs .
3. Sinyal hasil sampling $s(iT)$ ditahan oleh rangkaian sample & hold diantara dua nilai sampling selama T det. Hasil dari output rangkaian sample & hold merupakan gelombang amplitudo pulsa (PAM) yang mewakili level 24 atau 32 kanal sample.
4. Selama interval T , sinyal sampling dikuantisasi dalam bentuk N level amplitudo diskrit. Pada PCM 30 menggunakan 8 bit kode atau 256 kuantum step.

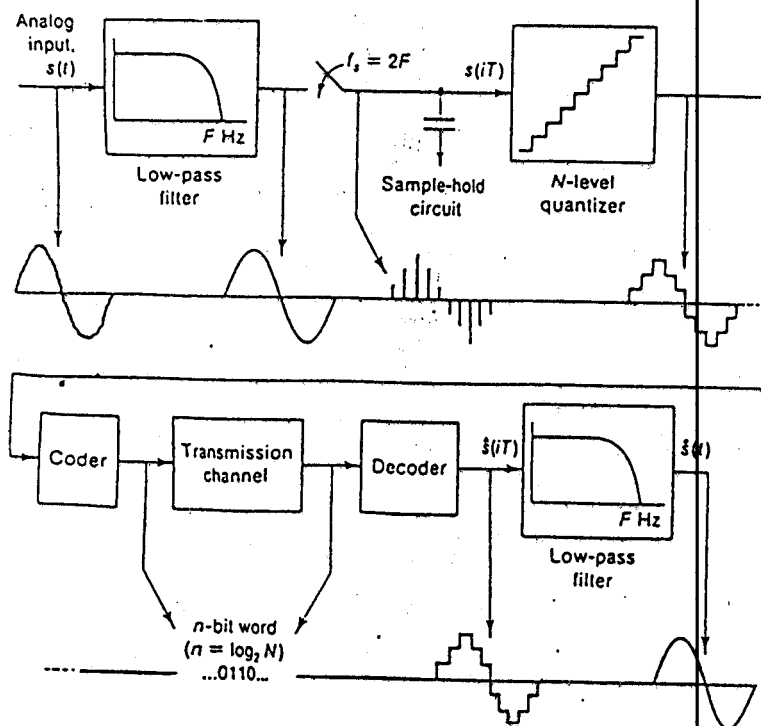
5. Coder memetakan level amplitudo yang ditentukan oleh quantizer kedalam n bit kode ($n = \log_2 N$) yang dinyatakan dengan $b_1, b_2, b_3, \dots, b_n$; dimana b_n digit 1 atau 0. Susunan dari kode diolah disesuaikan dengan kanal komunikasinya.
6. Decoder memetakan ulang PCM word yang diterima dan mengembalikan ke amplitudo semula, dari amplitudo sampling yang didapat difilter melalui filter F Hz dan keluarlah output $s(t)$ mendekati aslinya.

11.2.5.2 FILTER PCM

Karakteristik dari filter dapat dilihat pada gambar 2.10 yang secara prinsip harus mempunyai bentuk cut-off $f_s/2$ disesuaikan dengan teorema pencuplikan Niquist.

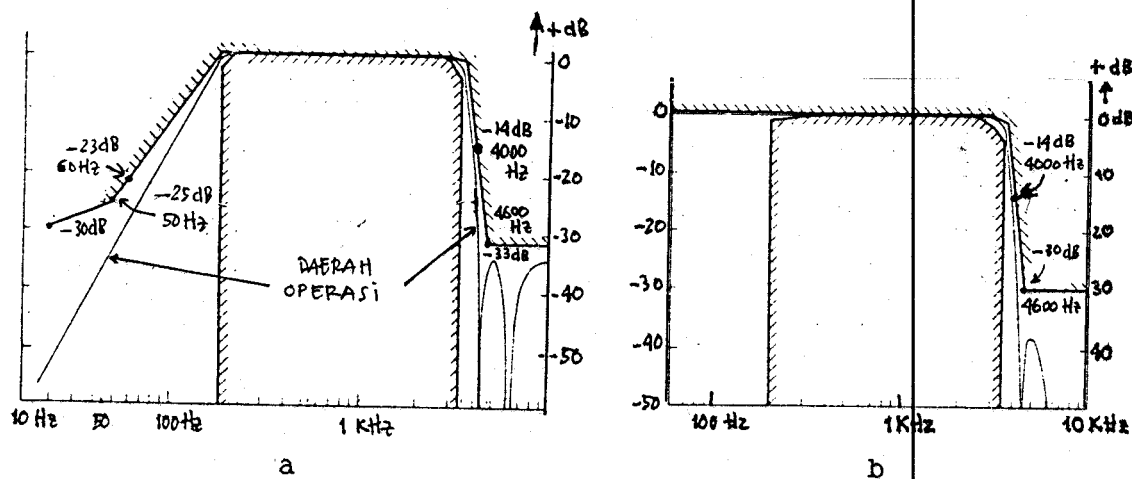
Sebuah filter untuk keperluan sistem PCM harus memenuhi ketidak-rataan dan stop-band yang memenuhi spesifikasi dan rekomendasi CCITT no. G.712. Pada pengirim, diperlukan sebuah low-pass anti-aliasing filter yang memberikan redaman sekitar 40 dB pada frekuensi sampling 8000 Hz.

High pass filter untuk menghilangkan noise-noise frekuensi rendah dari frekuensi jaringan listrik, frekuensi bel (ringing 25 Hz) dan noise frekuensi rendah lainnya. Pada penerima terjadi proses sebaliknya dari filter pengirim.



GAMBAR 2.9. 12)

DIAGRAM BLOK SISTEM PULSE CODE MODULATION



GAMBAR 2.10 13)

KARAKTERISTIK IDEAL FILTER PCM

- Karakteristik untuk pengirim frekuensi suara
- Karakteristik untuk penerima frekuensi suara

12) Paul Bates, Practical Digital and Data Communications, Prentice-Hall Inc., New-Jersey, 1987, p.120
 13) ITU, "CCITT Recommendation", Rec. G.712, 1985

11.2.5.3 PEMROSESAN SINYAL

Untuk pemrosesan suara digunakan logaritmik compander, dalam digitalisasi suara dikenal dua bentuk kurva yang mengikuti dua rumus :⁽¹⁴⁾

A. Companding μ -Law

Persamaan yang menyatakan companding μ - law diberikan oleh persamaan (2.3):

$$F(x) = \text{sgn}(x) V \frac{\left[1 + \frac{\mu|x|}{V} \right]}{\ln(1 + \mu)} \quad 0 \leq |x| \leq V \quad \dots (2.3)$$

dimana : - $\text{sgn}(x)$ adalah polaritas dari sinyal x

- V menunjukkan amplitudo sinyal

- harga μ dalam praktis diberikan $\mu=100$ untuk 7 bit PCM dan $\mu=255$ untuk 8 bit PCM.

B. companding A-Law

Untuk karakteristik A - law ditentukan oleh parameter A yang menunjukkan range dinamik. Secara lengkap dapat ditunjukkan dengan persamaan :

$$F(x) = \begin{cases} \text{sgn}(x) \frac{A|x|}{1 + \ln A} & 0 \leq |x| \leq 1/A \quad (2.4a) \\ \text{sgn}(x) \frac{1 + \ln(A|x|)}{1 + \ln A} & 1/A \leq |x| \leq 1 \quad (2.4b) \end{cases}$$

⁽¹⁴⁾Bellamy J, opcit., p. 2/5

Untuk mendapatkan dinamik range diatas 40 dB, harga A ditentukan $A = 87.6$ untuk data 8 bit.

3. SEGMENTASI LEVEL (KUANTISASI) PCM SESUAI CCITT

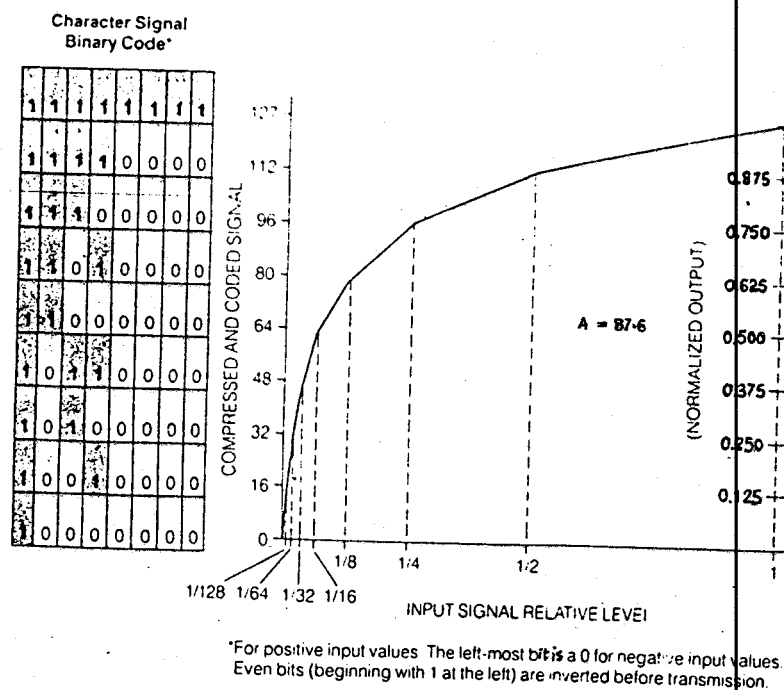
Range dinamis yang disyaratkan diatas didapatkan dengan implementasi segment yang direkomendasikan oleh CCITT. Segmentasi untuk A-law adalah 13 segment dan μ -law 15 segment yang menentukan harga normalisasi unit arus sebesar 4096 unit untuk a-law dan 8086 untuk μ -law.

Contoh pengambilan level-level untuk dikodekan dari non-uniform ke A-law kuantisasi 13 segment dapat dilihat pada gambar 2.11. Pada proses pengkodean dan pemecahan kode (CODEC), terjadi beberapa macam kesalahan (error) akibat dari noise kuantisasi (Quantization error) dan akibat noise pada saluran atau kanal. Tetapi dapat dilihat pada kolom 7 (tabel 2.1), bahwa hal itu tidak banyak berpengaruh jika dibandingkan dengan kolom 5 .

11.2.5.4 PCM MULTIPLEXING DAN CHANNEL BANK

A. Time division multiplexing

Untuk tujuan penerapan PCM pada transmisi suara terutama pada telepon, telah dikenal saluran telepon digital PCM dengan bit-rate 64 Kb/s. Secara ekonomis tidaklah ekonomis melakukan transmisi PCM tunggal 64 kbps melalui kanal maka harus dilakukan multipleksing sehingga terbentuk format seperti gambar 2.12a.



GAMBAR 2.11 15)

PEMBAGIAN LEVEL KUANTISASI SESUAI COMPANDING A

Perangkat keras TDM yang mengirimkan bit-bit terpisah berdasarkan pembagian waktu ditunjukkan pada gambar 2.12b. Dengan adanya timing kontrol, 8 bit (1 slot) data dari kanal ke n dikirim bergantian berdasarkan fungsi gerbang AND sebagai switch dan gerbang OR sebagai pengirim data.

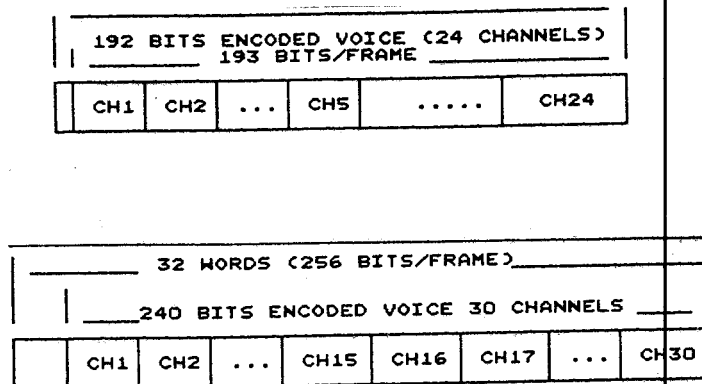
15) Freeman Roger L., Telecommunication System Engineering, John Willey & Sons, Singapore, 1980, p.353

TABEL 2.1. 16)

HARGA-HARGA UNTUK CODEC PCM A - LAW

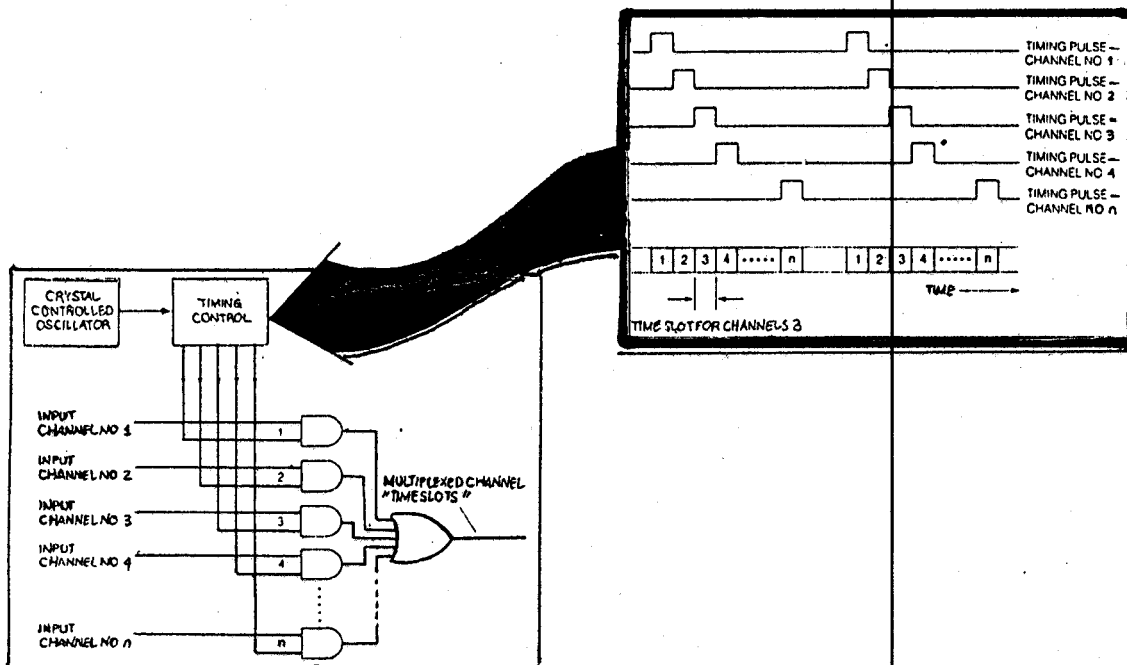
1	2	3	4	5	6	7	8
Segment number	Number of intervals \times interval size	Value at segment end points	Decision value number n	Decision value x_n (see Note 1)	Character signal before inversion of the even bits Bit number 1 2 3 4 5 6 7 8	Value at decoder output y_n (see Note 3)	Decoder output value number
7	16×128	4096	(128)	(4096)	----- 1 1 1 1 1 1 1 1 (see Note 2)	4032	128
6	16×64	2048	127 113 112	3968 2176 2048	----- 1 1 1 1 0 0 0 0 (see Note 2)	2112	113
5	16×32	1024	97 96 81	1088 1024 544	----- 1 1 1 0 0 0 0 0 (see Note 2)	1056	97
4	16×16	512	80 65	512 272	----- 1 1 0 1 0 0 0 0 (see Note 2)	528	81
3	16×8	256	64 49	256 136	----- 1 1 0 0 0 0 0 0 (see Note 2)	264	65
2	16×4	128	48 33	128 68	----- 1 0 1 1 0 0 0 0 (see Note 2)	132	49
1	32×2	64	32 1 0	64 2 0	----- 1 0 1 0 0 0 0 0 (see Note 2) ----- 1 0 0 0 0 0 0 0	66	33

16) ITU, op-cit, rec. 712



GAMBAR 2.12a 17)

SUSUNAN TIME SLOT PADA TDM-PCM



GAMBAR 2.12b 18)

PRINSIP DASAR DARI DIGITAL TIME DIVISION SWITCHING

17) Fike, opcit., p.182
 18) Ibid, p.179

B. Channel Bank

Sebuah PABX yang dirancang menggunakan PCM, minimum harus satu standart transmisi "multiplex primer" yang mempunyai kecepatan 1,544 Mb/s (μ - Law) atau 2,048 Mb/s. Hal itu disesuaikan dengan standart CCITT G.732 (A -Law) dan CCITT G.733 (μ - Law) yang mengacu pada rekomendasi G.702, yang masing-masing mewakili 24 dan 32 kanal suara.

Secara perangkat keras pembentuk standart multiplex primer tersebut dinamakan 'Channel Bank'. Parameter dari sebuah channel bank diantaranya adalah:

- Jumlah kanal suara tiap bank, bisa dipilih 24 atau 30 kanal (A-law atau μ -law),
- Cara melakukan sampling, dapat dilakukan secara berurutan, gasal-genap bergantian atau seluruh slot genap disusul slot gasal dan sebagainya (lihat tabel 2.2),
- Cara multiplexing, dapat dilakukan dengan multiplex analog sebelum sample-hold (S/H) atau multiplex digital setelah S/H,
- Jumlah bit tiap slot, menggunakan kode 7 bit atau kode 8 bit,
- Lokasi 'signalling bit'
- dan karakteristik komponding dari saluran transmisi.

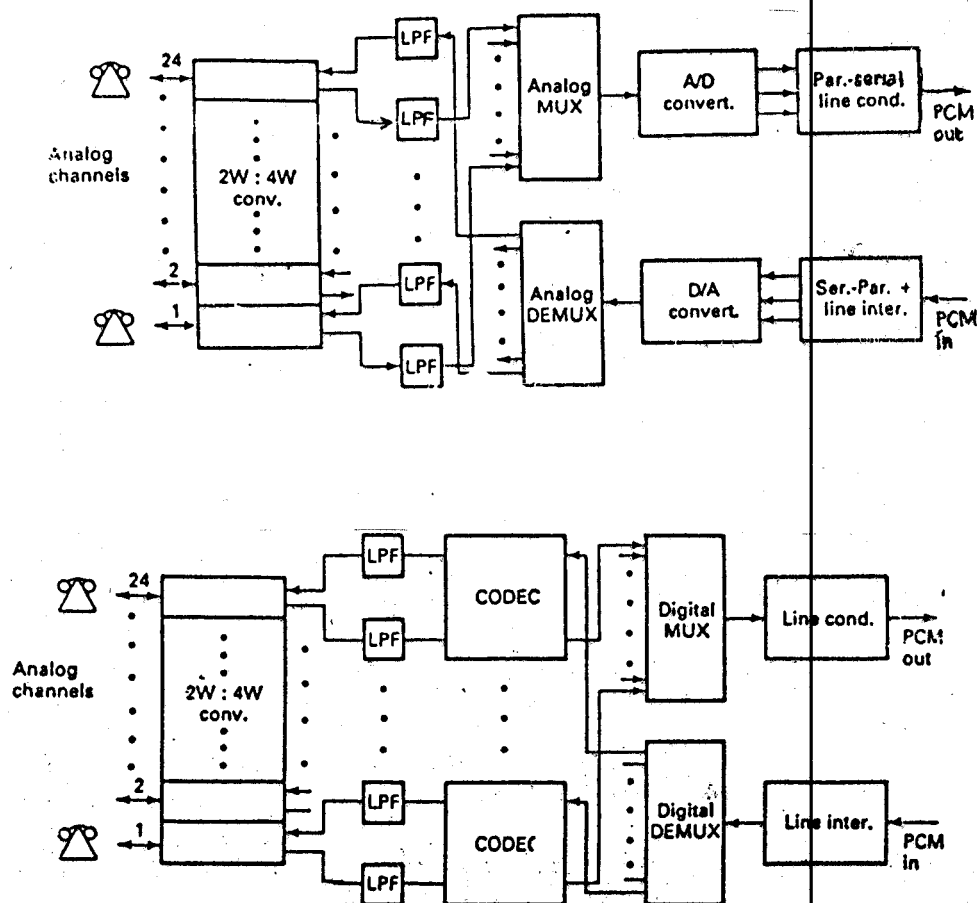
Dari beberapa cara tersebut terbentuk 7 channel bank, yaitu : D1, D2, D1D, D3, D4, D4E dan D5.

TABEL 2.2 ¹⁹⁾
PERBANDINGAN BEBERAPA 'CHANNEL BANK'

KARAKTERISTIK	D1	D2	D1D	D3	D4	D4E	D5
Jumlah kanal Suara	24	24, 48, 72, atau 96	24	24	24 / 48	30	24, 48, 72,
Urutan pen-cuplikan (Sampling)	1, 13, 2, 14 3, 15, 4, 1612, 24	12, 13, 1, 17, 5, 21, 9 15, 3, 19, 7 23, 11, 14, 2, 18, 6, 22 10, 16, 4, 20, 8, 24	Sama Seperti D1	1, 2, 3, 4, 5 6, 7, 8, 9, 10, 11, 12, 13, 14, 15, 16, 17, 18, 19, 20, 21, 22, 23, 24.	Dapat dipilih, D1 D2 atau D3	1, 2, 3, 4, 5, 6, 7, 8, 9, 10, 11, 28, 29, 30	Dapat Dipilih D1 D2 D3 D4
Jumlah bit Tiap kanal (coding bit)	7	8	8	8	8	8	8
Lokasi Signalling bit	Bit ke 8 dari tiap kanal.	Bit ke 8 per-kanal dr. kanal 6/frame	Seperti D2	Seperti D2	Seperti D2	Time slot ke 16	Seperti D2
Karakteristik Companding	$\mu = 100$ sifat dioda non linear	$\mu = 255$ 15 segmen piecewise linear approx.	$\mu = 255$ 15 segmen piecewise linear approx.	$\mu = 255$ 15 segmen piecewise linear approx.	$\mu = 255$ 15 segmen piecewise linear approx.	A=87.6 13 segmen piecewise linear approx.	$\mu = 255$ 15 segmen piecewise linear approx.
Saluran Transmisi	T1	4 T1 Terpisah	T1	T1	T1 T1C T2	T1E 2 MD/s	T1 T1C T2

¹⁹⁾ Arthur BW., opcit, p.322

Secara umum ada 2 metode untuk membentuk channel bank, yaitu dengan cara multipleksing sebelum dilakukan pengkodean PCM atau setiap kanal dikodekan ke PCM 64 kbps kemudian dimultiplek secara digital.



GAMBAR 2.13 ²⁰⁾

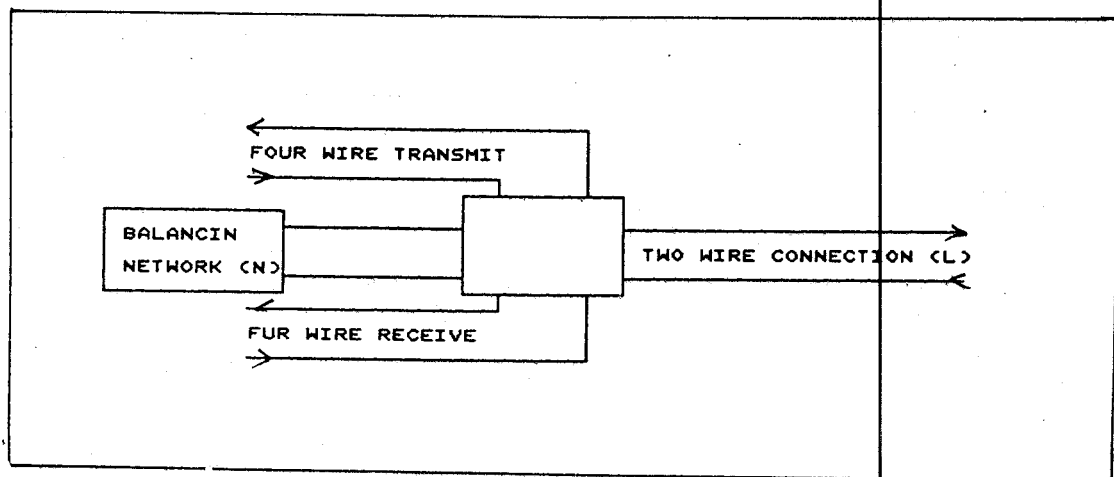
D1 CHANNEL BANK (24 KANAL)

²⁰⁾ Paul Bates, opcit., p.157

11.2.6. HYBRID & BALANCING NETWORKS

Fungsi hybrid adalah menghubungkan rangkaian 2 kawat ke rangkaian 4 kawat pada repeater, konversi AD/DA, switching pada toll, tandem dan sebagainya. Secara fisik terjadi pemisahan sisi kirim dan sisi terima yang dilakukan untuk menambahkan buffer, amplifier, compander dan proses pengkodean. Fungsi perangkat keras dari hybrid dapat dilihat pada gambar 2.14.

Sedangkan balancing network diperlukan untuk menjaga agar pembagian daya antara sisi kirim dan sisi terima seimbang sehingga tidak terjadi cakap silang, pantulan dan singing.



GAMBAR 2.14 21)

HYBRID DAN BALANCE NETWORKS

21) Freeman RL, Op cit., p.164

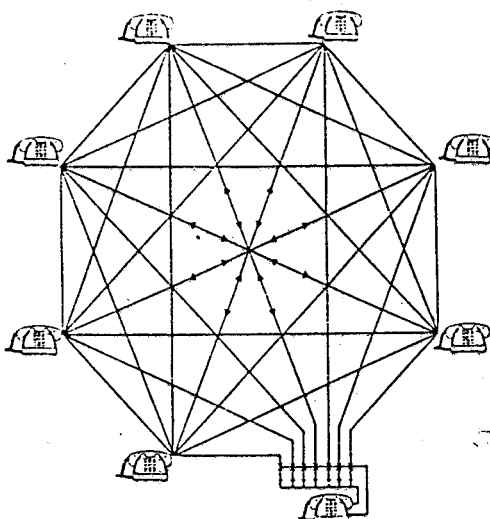
11.3 SWITCHING NETWORK

11.3.1 KONSEP PELETAKAN SWITCH

Ditinjau dari cara menyambungkan extension, subscriber atau stationnya, sistem switching dapat dibagi dua jenis, yaitu :

A. Switching tidak terpusat

Gambar 2.16 menunjukkan ilustrasi bentuk switching tidak terpusat, yaitu fasilitas transmisi harus menghubungkan tiap subscriber menggunakan sebuah switch dan switch terletak pada subscriber yang bersangkutan. Untuk menghubungkan N subscriber diperlukan crosspoint sebesar $N(N-1)$ dan line sebanyak $N(N-1)/2$.



GAMBAR 2.15 ²²⁾

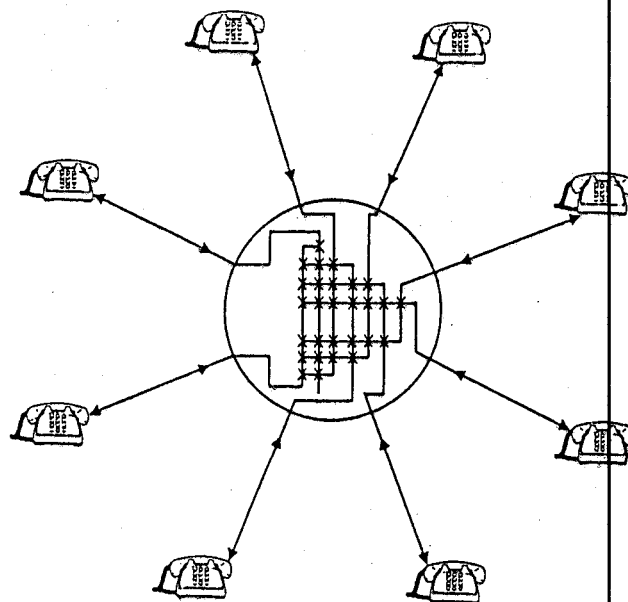
SWITCHING TIDAK TERPUSAT

²²⁾ Amos E. Joul Jr, Circuit Switching, Electronic Communications Handbook.

Penerapan cara ini adalah pada 'Key System (key Telephone)' dan Local Area Network (LAN) pada packet switching.

B. Switching terpusat

Bertujuan untuk mengurangi biaya yang digunakan untuk pemasangan switch dan saluran yang terpisah digunakan switching pada lokasi yang terpusat. Dengan sistem switching sentral untuk N subscriber hanya dibutuhkan N line dan crosspoint sebesar $N(N-1)/2$. Pada sistem switching sentral dibutuhkan peralatan signalling yang menandakan subscriber atau station lain membutuhkan pelayanan.



GAMBAR 2.16 ²³⁾

SWITCHING TERPUSAT

²³⁾ Ibid

11.3.2 TEKNOLOGI SIRKIT SWITCHING

11.3.2.1 PERKEMBANGAN TEKNOLOGI SIRKIT SWITCHING

Perkembangan sistem sentral telepon dapat digambarkan sebagai berikut :

- a. Beroperasi secara manual, menggunakan patch cord panel.
- b. Sistem switching otomatis pertama menggunakan Step-by-step (elektromekanis switch) yang lebih dikenal sebagai Strowger switch.
- c. Menggunakan cross-bar switch elektromekanis.
- d. Sistem Stored Program Control, dengan switching menggunakan reed-relay atau reed-switch.
- e. Perkembangan terakhir adalah penggunaan perangkat semikonduktor, diantaranya SCR switch (PNPN switch), memory switch dan switch-switch rangkaian terpadu yang dirancang khusus. Pengontrolan elektronis penuh oleh sistem mikroprosesor.

Dengan pertimbangan kemudahan pengontrolan, daya yang dibutuhkan dan ukuran kini lebih banyak dipilih menggunakan perangkat semikonduktor, yang lebih dikenal sebagai Digital Switching.

11.3.2.2 SWITCHING PCM

PCM switch harus didesain untuk menangani 5 fungsi berikut : 24)

24) Freeman RL, opcit, p.377

1. Mengenali sistem PCM masukan (incoming highway) dan kanal dalam sistem yang ingin menggunakan fasilitas sambungan.
2. Melakukan routing yang diperlukan untuk hubungan dan menempatkan kanal ke sistem PCM tujuan (outgoing highway).
3. Jika dibutuhkan, dapat mengatur pewaktuan untuk menswitch 'incoming channel slot' sesuai dengan waktu yang dialokasikan untuk outgoing channel time slot.
4. Dapat memilih lintasan antara dua kanal (time slot) melalui matrix switch yang harus disambungkan dan memeriksa apakah lintasan tersebut sah (valid).
5. Menghubungkan dua kanal.

Dua elemen pembentuk switch PCM adalah switch 'Space division' dan switch 'Time division'.

A.Space division :

Dalam space division, crosspoint disusun dalam bentuk array. Setiap panggilan atau hubungan mengaktifkan satu titik atau sederetan crosspoint dalam 'space' yang berbeda. 'Time division space switching' terdiri dari matrik dengan m saluran masukan (baris) yang dimultiplek secara waktu (time) dan n keluaran yang mempunyai susunan time slot sama dengan masukan.

B. Time division :

Dalam time-division switching, transmisi setiap subscriber menggunakan kanal secara periodik bergantian setiap saat time slot. Kendala pada TSI dan TMS adalah adanya keterbatasan jumlah kanal (time slot) terhadap frekuensi sampling. Dengan frekuensi sampling 8 KHz, maksimum time slot yang dapat diswitch pada memori, adalah : ²⁵⁾

$$C = \frac{125}{2 \cdot tc} \dots\dots\dots (2.1)$$

dimana, 125 adalah 'frame-time' dalam mikrodetik (μs),
 tc memory cycle dalam mikrodetik.

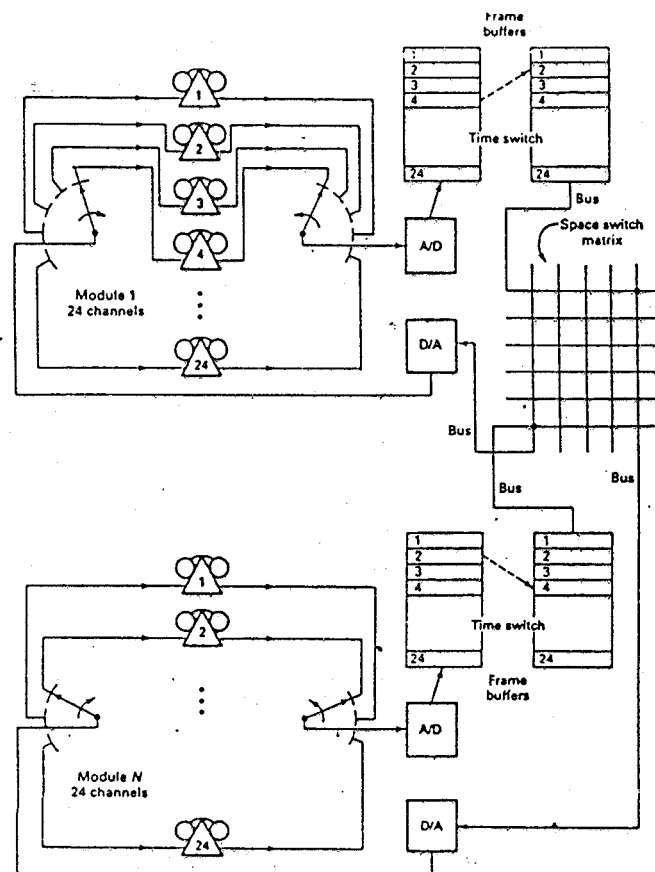
Time Division Switching Network menggabungkan antara 'time' dan 'space' division' TST atau STS. Gambar 2.17 menunjukkan aplikasi susunan Time Space Time. Time switch, yang dibentuk oleh memory buffer dan perangkat keras, mengontrol aliran data melalui space switch. Output slot (outgoing) ditahan lagi oleh buffer untuk ditransmisikan. Sedangkan konfigurasi dari Space-Time-Space ditunjukkan pada gambar 2.18.

11.3.2.3 Pengontrolan digital cross-point array

Digital cross-point adalah adalah salah satu

²⁵⁾ Smith, David R, "Digital Transmission System", Van Nostrand R Co. New York, 1965, p.65

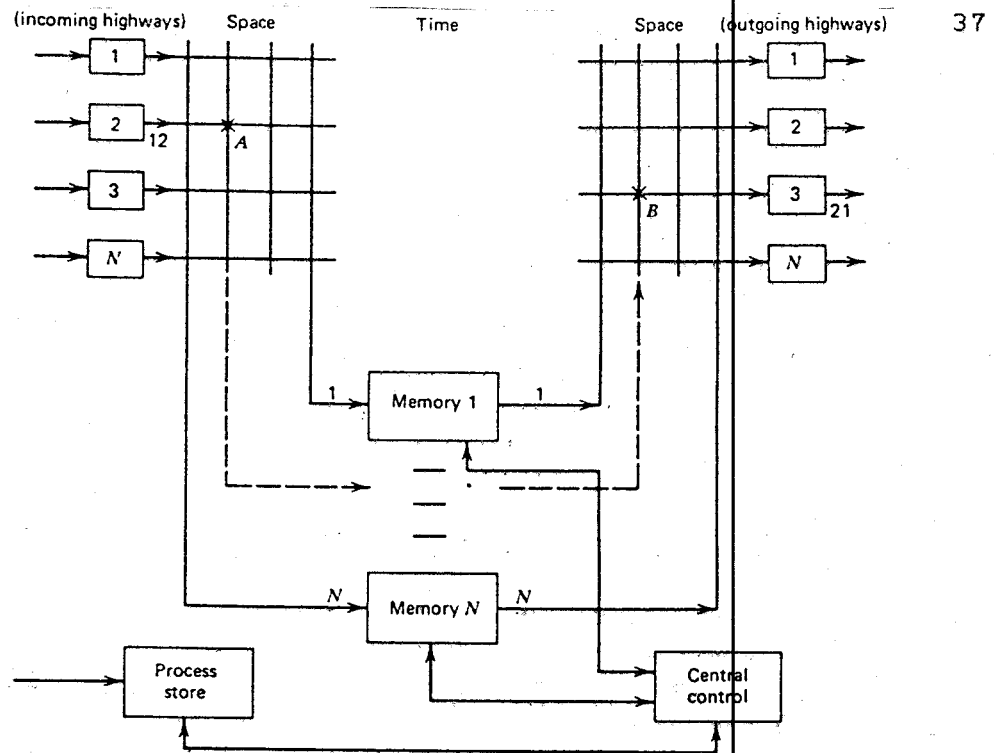
penerapan gerbang logika sebagai switch, biasanya didasarkan operasi gerbang AND yaitu akan 'switch on' jika salah satu kaki berlogika 1 (high).



GAMBAR 2.17 ²⁶⁾

APLIKASI SWITCHING PCM "TIME-SPACE-TIME"

²⁶⁾ Paul bates, opcit., p.70



GAMBAR 2.18 27)

APLIKASI SWITCHING PCM "SPACE-TIME-SPACE"

Untuk mengendalikan deretan digital cross-point yang digunakan pada PCM switch dapat dilakukan dengan 2 pendekatan :

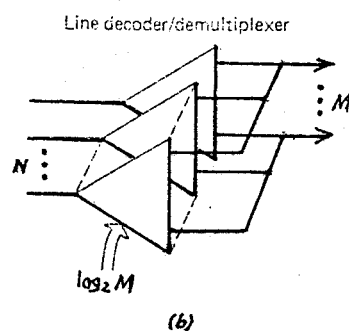
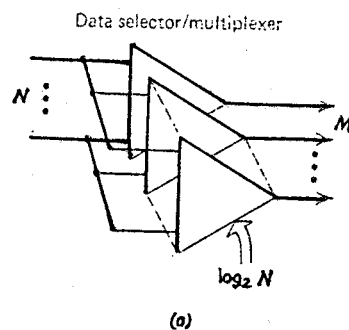
A. Output Associated Control (OAC)

Pengontrolan ini bertujuan mengendalikan array matrik dengan N masukan (incoming) keluar 1 output. Secara perangkat keras digunakan data selector/demultiplexer untuk setiap output matrik yang diinginkan. Untuk N masukan diatas diperlukan $\log_2 N$ bit kontrol. Sehingga untuk M slot data diperlukan $M \cdot \log_2 N$ bit kontrol.

27) Freeman, opcit., p.378

B. INPUT ASSOCIATED CONTROL (IAC)

Bertujuan mengatur operasi digital switch dari satu incoming slot ke banyak pilihan outgoing slot. Untuk memecah incoming data digunakan line decoder/demultiplexer dan jenis line decoder yang digunakan harus tri-state atau open collector untuk perlindungan dari pembebanan lebih. Jumlah bit kontrol yang dibutuhkan untuk N kanal input dan M kanal output adalah sebanyak $N \cdot \log_2 M$.



GAMBAR 2.19 ²⁶⁾

APLIKASI DIGITAL CROSS-POINT ARRAY DAN KONTROL

²⁶⁾ Bellamy JL., *Opcit.*, p.241

11.4 SISTEM KONTROL KOMPLEK

Pada sentral digital atau elektronik paling tidak mempunyai tiga unsur pemroses:

A. Prosesor Ekstention & Trunk,

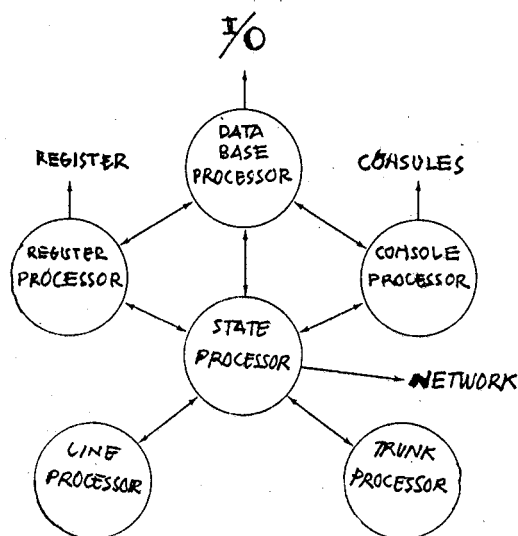
Bertugas dalam fungsi signaling, ringing dan supervisory. Data biner dikirim ke state prosesor.

B. State Prosesor,

Merupakan prosesor utama, prosesor ini memegang record tahap akhir dari saluran, kondisi switching dan mengirimkan perintah ke device yang dikontrol.

C. Prosesor Pelengkap (data base, register dan console).

Merupakan prosesor pembantu yang berfungsi sebagai register prosesor dan administrasi.



GAMBAR 2.20 29)

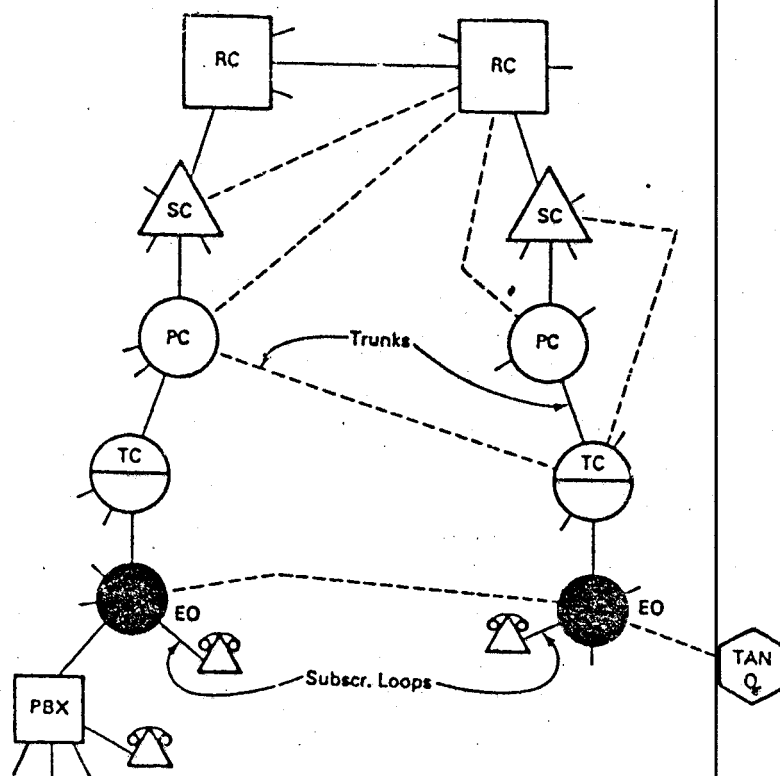
KONFIGURASI KONTROL KOMPLEKS SENTRAL

29) Keiser BE/Eugene S, opcit., p.249

11.5 PABX DALAM JARINGAN TERPASANG DAN DESAIN ISDN

11.5.1 PABX DALAM JARINGAN TERPASANG (EXISTING)

PABX merupakan bagian dari jaringan terpasang yang ditujukan untuk meningkatkan efisiensi pendudukan kanal berdasar tingkat probabilitas pemakaian. Menurut 'fundamental technical plan 1985' (mengacu pada rekomendasi CCITT), PABX merupakan bagian dari sistem lokal dan berada satu sistem dengan sentral lokal untuk menghubungkan line ke sentral lokal (LE).



GAMBAR 2.21 30)

HIERARKI SWITCHING DAN ROUTING

31) Paul Bates, Practical Digital and Data Communications, Prentice-Hall Inc, New Jersey, 1987

11.5.2 PABX DALAM JARINGAN PELAYANAN DIGITAL TERPADU ISDN.

Berdasarkan rekomendasi 'I-Series' dari CCITT blue book (1988), untuk menghubungkan antar terminal (TE) dan lokal exchange ISDN ditetapkan aspek-aspek interface antar jaringan user. Level akses dari tiap pemakai level dilihat dari kecepatannya dibanding pelayanan dasar digital $n \times B$ dan $n \times D$, dimana B = akses 64 kbit/s dan D = akses 16 kbit/s dan perlu tidaknya terminal adapter.

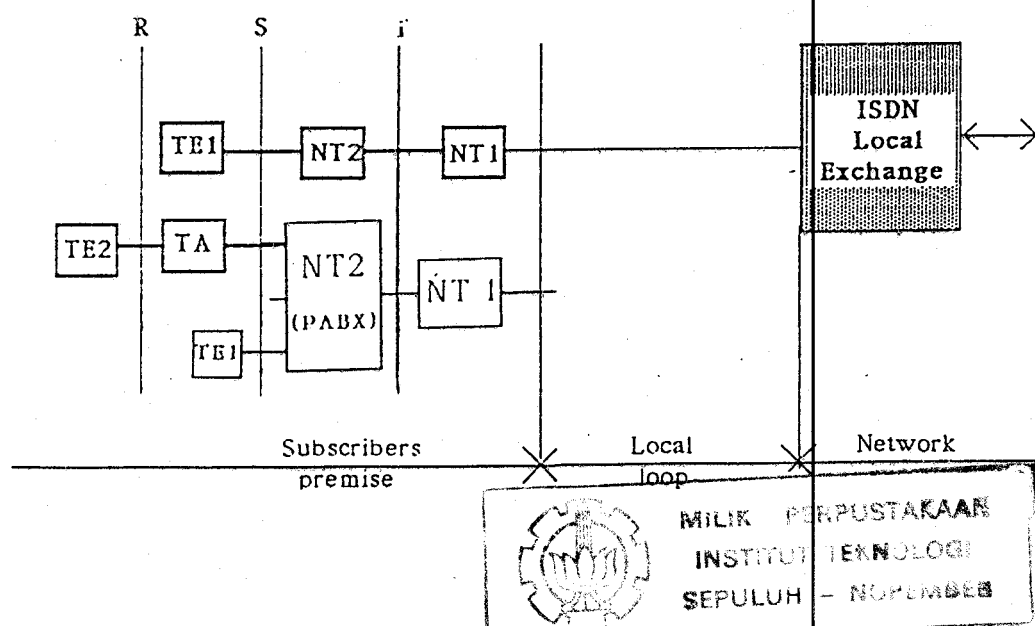
Disisi subscriber, user dibagi dalam tiga tingkat (level) hierarki yaitu R, S dan T.

o Tahap R, adalah tahap subscriber dengan format dan kecepatan data diluar persyaratan rekomendasi I. Dalam tahap R terminal dinotasikan sebagai TE2. TE2 tidak tercakup dalam pelayanan dasar $2B+D$ 144 kbit/s atau akses primer 2,048 Mb/s yang terdiri dari $30B + D$.

Peralatan yang termasuk TE2 adalah Faximile GR3, PCM dengan modem, DTE X.25, DTE X.21, DTE PC seri V dan terminal-terminal lain yang masih perlu (TA).

o Dalam tahap S terletak terminal-terminal yang mampu melayani terminal dengan akses standart TE1 (misal, 1200 b/s, 4800 b/s, 9600 b/s dan kanal 64 kb/s) dan terminal adapter TA. Output tahap S adalah data akses dasar dan atau akses primer. Yang termasuk TE1 dan TA adalah telefax GR4, teletex 64 kb/s, videotex 64 kb/s, ISDN non-voice terminal dan sebagainya.

o Tahap T ditempati sistem multipleks, konsentrator digital, PABX digital dan terminal-terminal dengan akses dasar atau primer dengan kecepatan 144 kb/s sampai 2,048 Mb/s. Diatas tahap T, tetapi masih dalam premise subscriber adalah NT1 yang sudah dapat dianggap sebagai ISDN 'uni configuration' dengan rate output lebih tinggi (sampai 35 Mb/s) yang terhubung ke LE-ISDN menggunakan lokal loop. Gambar 2.22 menunjukkan hubungan antara subscriber dengan LE-ISDN dan kedudukan PABX digital sebagai NT2.



GAMBAR 2.22 ³¹⁾

ISDN USER NETWORK INTERFACE

³¹⁾ ITU, CCITT BLUE BOOK, Rekomendasi seri I (400-465)/Part IV Sect. 1-6, 1988

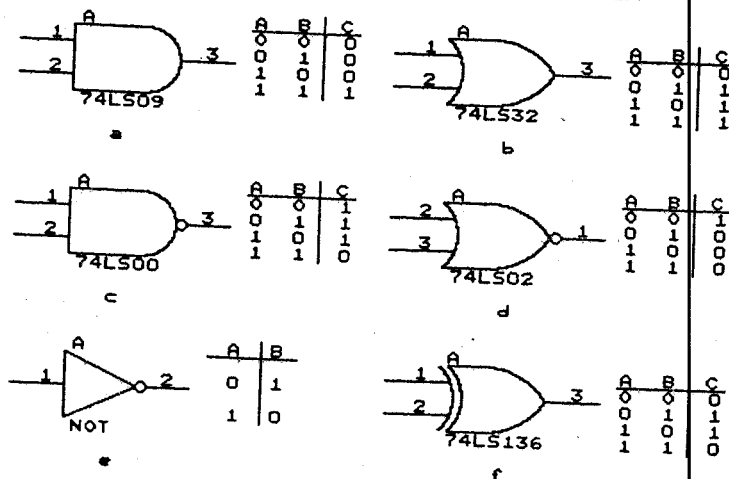


B A B III

KOMPONEN DAN SISTEM MIKROPROSESOR

III.1 GERBANG LOGIKA

Perencanaan sistem digital tidak bisa dilepaskan dari pengertian dasar operasi gerbang logika AND, OR, NAND, NOR, INVERTER dan EXclusive OR. Gambar 3.1 menunjukkan rangkuman dari operasi gerbang-gerbang logika dasar.



GAMBAR 3.1 31)

OPERASI GERBANG LOGIKA DASAR

(a) AND. (b) OR. (c) NAND. (d) NOR. (e) NOT. (f) XOR.

31) Nashelsky, Louis, Introduction to Digital Computer Technology, John Wiley & Sons Inc., Canada, 1977, p.110

Dalam perencanaan sistem yang menggunakan gerbang-gerbang logika perlu memperhatikan beberapa parameter :

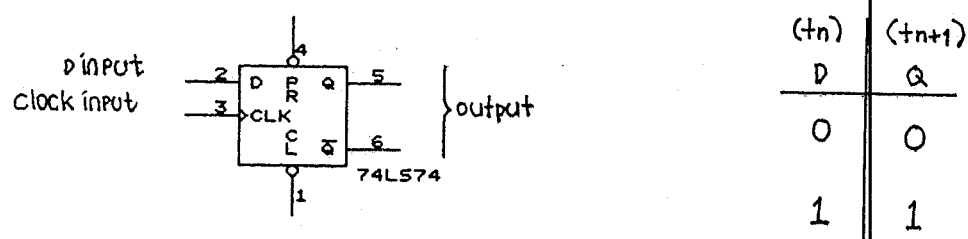
- o Ketahanan terhadap gangguan (noise immunity),
- o Tunda rambatan (propagation delay),
- o Penggunaan daya (power dissipation),
- o Kemampuan mencatu banyak beban dan menerima banyak input (fan-out, fan in),
- o Kemampuan mengirim dan menerima arus (current sourcing/ current sinking).

III.2 BISTABLE MULTIVIBRATOR (FLIP-FLOP)

Bistable multivibrator biasa digunakan sebagai pencacah, penyimpan data dan rangkaian data transfer.

III.2.1 D flip-flop

D flip-flop lebih banyak digunakan sebagai data transfer register. Tabel kebenaran dan bentuk gelombang D-flip-flop diperlihatkan pada gambar 3.2.



GAMBAR 3.2 33)

DATA/DELAY FLIP-FLOP

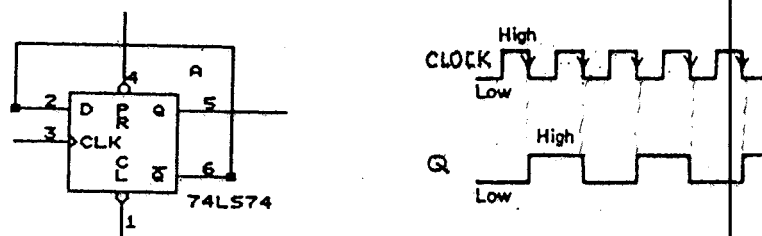
33) Ibid

III.2.2 Toggle (T) flip-flop

Toggle flip-flop merupakan flip-flop dengan fungsi pencacah (counter). Tiap perubahan pulsa clock output T flip-flop akan berganti harga ($Q \longleftrightarrow \bar{Q}$), sehingga output akan mempunyai frekuensi setengah frekuensi clock. Dari D flip-flop dapat dibentuk menjadi T flip-flop dengan jalan menghubungkan output Q dengan Data (D) input.

III.3 ASTABLE MULTIVIBRATOR (CLOCK)

Clock bekerja jika terjadi pergantian set dan reset secara terus-menerus pada suatu blok rangkaian logika. Salah satu bentuk yang sering digunakan adalah clock menggunakan inverter (NOT).



GAMBAR 3.3 34)

RANGKAIAN T FLIP-FLOP

34) Ibid.,

Penentuan frekuensi kerja inverter clock tergantung harga resistor dan kapasitor umpan balik. Sesuai rumus :

$$f = \frac{1}{\Gamma_1 + \Gamma_2} = \frac{1}{0,7.R_1.C_1 + 0,7.R_2.C_2}$$

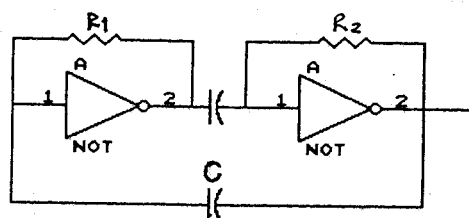
$$f = \frac{1.4}{R_1 C_1 + R_2 C_2} \dots \dots \dots (3.1)$$

Jika resistor dan kapasitor dipilih harga yang sama, frekuensi clock akan berharga :

$$f = \frac{1}{2\Gamma} = \frac{1}{2.(0.7)RC} = \frac{1}{1.4 RC}$$

$$f = \frac{0.7}{RC} \dots \dots \dots (3.2)$$

Kapasitor umpan balik C2 dapat digantikan dengan kristal untuk meningkatkan kestabilan frekuensi.



GAMBAR 3.4 35)

ASTABLE CLOCK MENGGUNAKAN INVERTER

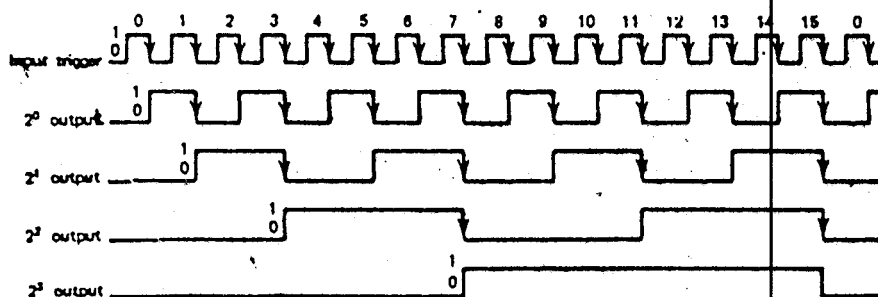
III.4 PENCACAH (COUNTER)

Sebuah counter akan melakukan pencacahan dengan hitungan sesuai rumus :

$$\text{Jumlah Pencacahan} = N = 2^n$$

Sebagai contoh adalah pencacah empat tahap berikut :

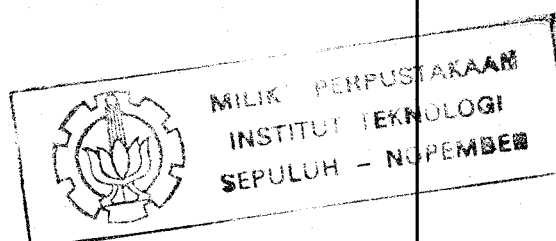
Pulsa Input	Output			
	D (2^3)	C (2^2)	B (2^1)	A (2^0)
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0



GAMBAR 3.5 36)

OPERASI DAN BENTUK GELOMBANG PENCACAH 4 TAHAP

36) Ibid.,

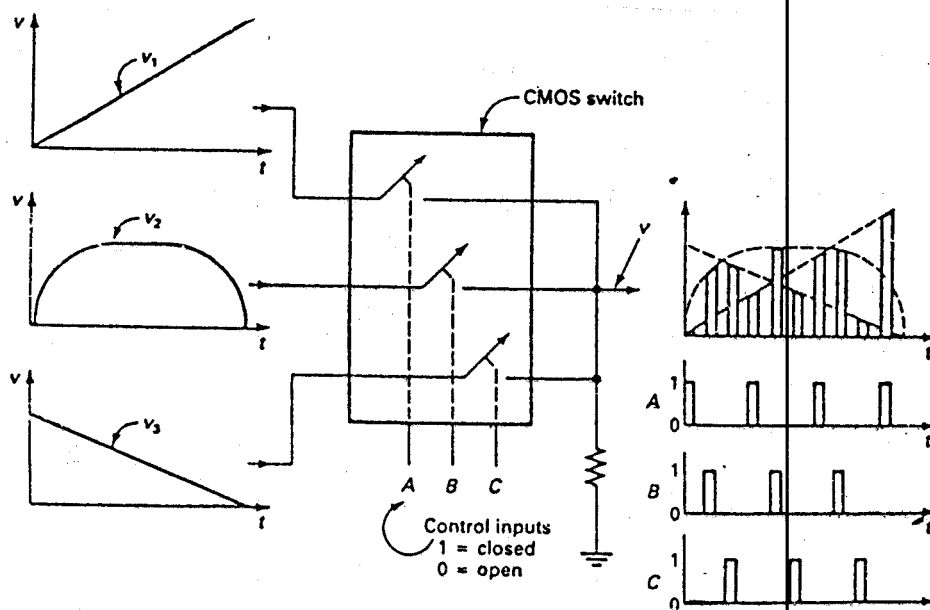


III.5 MULTIPLEK DAN DEMULTIPLEK

III.5.1 Multiplek analog

Dalam operasi akuisisi data analog dari banyak kanal harus dilakukan pencuplikan (sampling). Secara perangkat keras untuk mencuplik biasa digunakan multiplek. Pada ADC multiplek dapat diletakkan sebelum atau sesudah unit penahan (Holding circuit). 37)

Gambar 3.6 menunjukkan operasi CMOS switch sebagai pencuplik sinyal analog (TDM analog. Perubahan gerak switch tergantung perubahan input kendali (control). Dengan frekuensi kendali diatas 2 x frekuensi input diharapkan sinyal output mewakili nilai sinyal input.



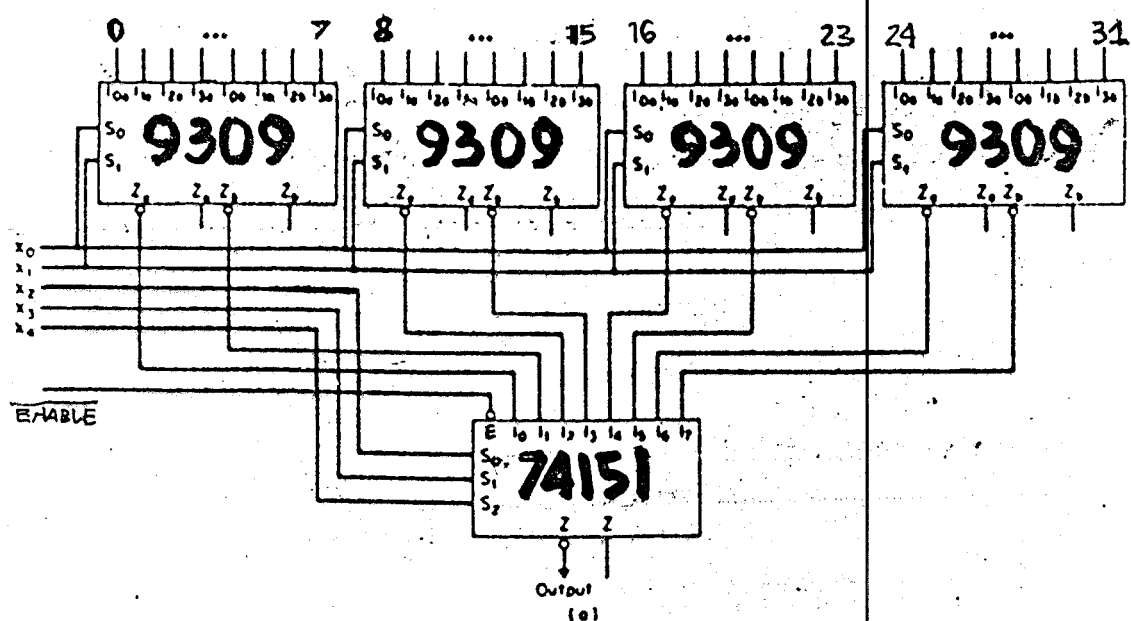
GAMBAR 3.6 38)

CMOS SWITCH SEBAGAI ANALOG TDM

37) Daniel HS., Analog Digital Conversion Notes, Analog Devices Inc., Massachusset, p. 16-17
 38) Paul B., Opcit., p.9

III.5.2 Multiplex Digital

Multiplex digital adalah peralatan kombinasi (bukan memori) yang dapat dikontrol oleh pemilih alamat (Address) yang melewatkan satu dari beberapa sinyal input ke output. Operasinya dapat disamakan dengan switch posisi jamak atau switch berderet. Multiplex digital dapat digunakan untuk data routing dan digital time division multiplexing. Gambar 3.7 menunjukkan penerapan IC 9309 dan 74151 sebagai rangkaian pemultipleks 32 kanal input.



GAMBAR 3.7 ³⁹⁾

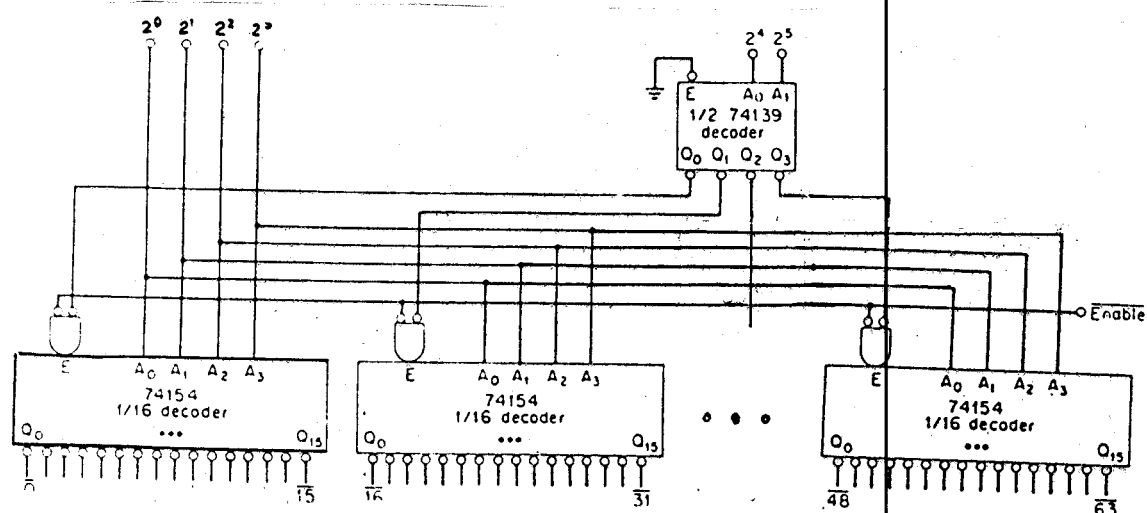
RANGKAIAN MULTIPLEX 32 KANAL INPUT

³⁹⁾ Arthur BW, opcit., p.10-8

111.5.3 Dekoder dan Demultiplex

Dekoder akan mengaktifkan output tertentu berdasarkan alamat yang dikirim. Gambar 3.8 menunjukkan dekodeur satu dari 64.

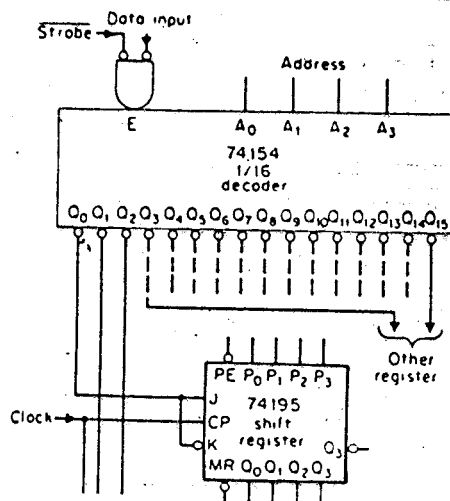
Dekoder 74154 yang digambarkan pada gambar 3.9 dapat memilih output sesuai kontrol address. Jika enable konfigurasi pemilih output nol (low), maka output akan low pada saat AND pada enable aktif dan high jika tidak aktif. Sehingga, apabila data dilewatkan salah satu input aktif low dari gerbang AND enable, data akan dikirimkan ke output sesuai alamat pada saat strobe aktif. Sehingga dekode akan berfungsi sebagai "Demultiplek".



GAMBAR 3.8 40)

DEKODER "1 DARI 64"

40) Ibid., p.10-14

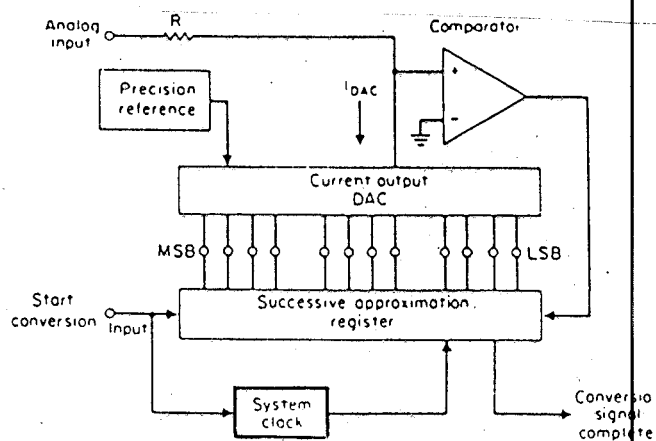


GAMBAR 3.9 41)

DATA DEMULTIPLEX

III.6 KONVERSI ANALOG KE DIGITAL (ADC)

Sebagian besar ADC untuk PCM menerapkan ADC pendekatan beruntun (SAR ADC), dengan susunan seperti gambar 3.10.



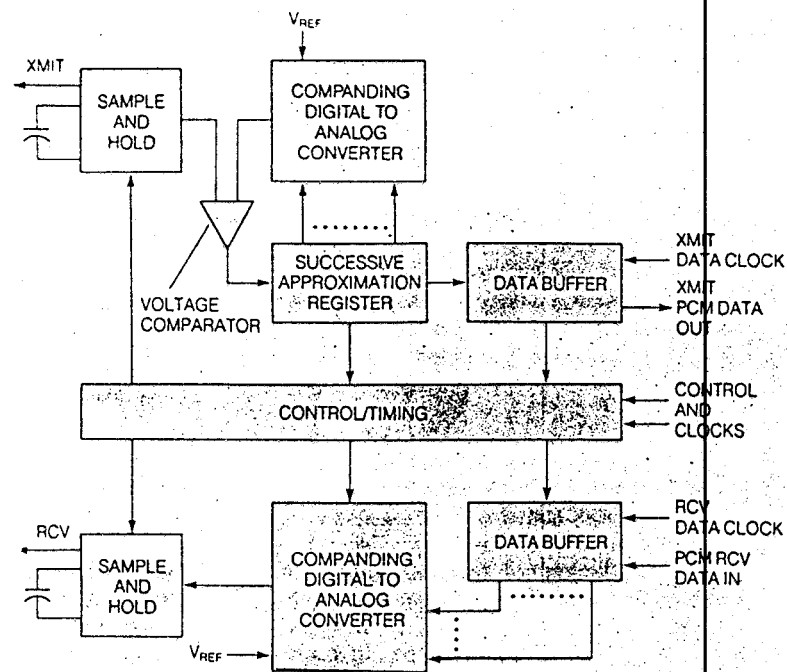
GAMBAR 3.10 42)

PENERAPAN SAR ADC DALAM PCM CODEC

41) Ibid., p.10-18

42) Fike., opcit., p.202

Parameter yang penting dalam penerapan penerapan SAR ADC dalam PCM adalah adanya companding DAC, yaitu sebuah DAC logaritmik yang mempunyai sifat sesuai standart CCITT. Operasi SAR ADC dan rangkaian kompanding DAC ditunjukkan pada gambar 3.11.



GAMBAR 3.11 43)

OPERASI SAR ADC DAN COMPANDING DAC

43) Arthur BW., opcit., p.8.16

III.7 SISTEM MIKROPROSESOR

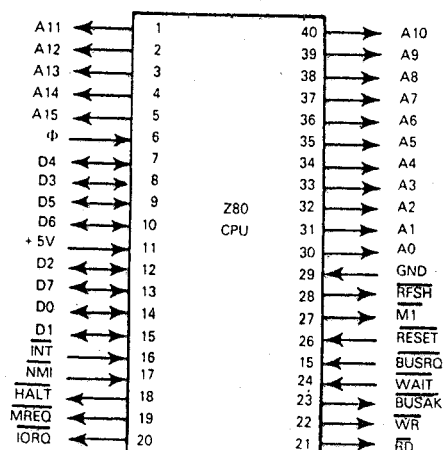
III.7.1 ASPEK PEMILIHAN MIKROPROSESOR Z-80

Pemilihan jenis mikroprosesor 8 bit Z-80 didasari beberapa pertimbangan, diantaranya :

- o Mikroprosesor Z-80 merupakan salah satu mikroprosesor 8 bit yang sangat terkenal. Harga Z-80 cukup murah dan mudah mencari perangkat keras/ peripheral pendukung.
- o Dari beberapa mikroprosesor 8 bit, Z-80 mempunyai register, addressing mode dan instruksi yang lebih banyak (22 register, 10 mode addressing dan 150 instruksi). Sehingga diharapkan mampu menangani seluruh permasalahan pada sebuah PABX atau sentral.
- o Penggunaan mikroprosesor Z - 80 untuk stored program control dari sebuah sentral telah teruji, hal ini bisa dilihat penggunaannya pada PBX digital buatan Phillips yaitu PBX 1000, NEAX D-3 dari NEC dan sebagainya.

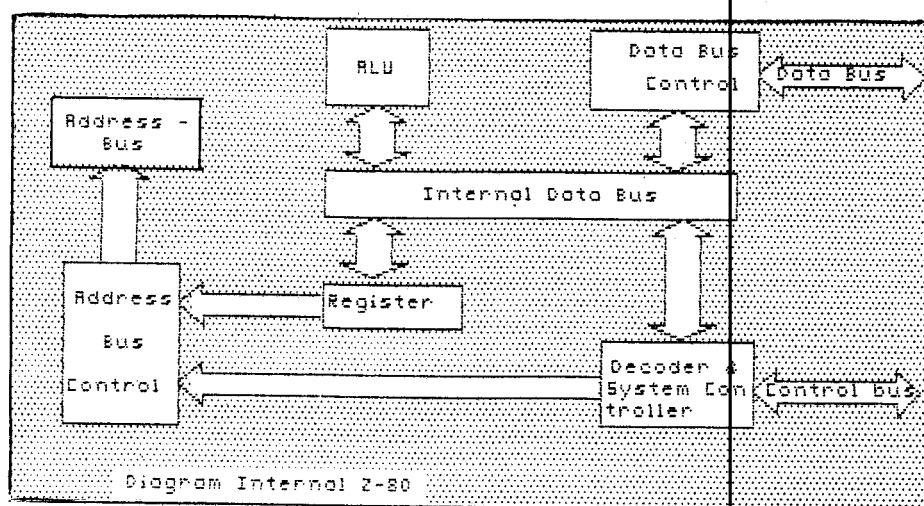
III.7.2 Pin dan Sinyal pada CPU Z-80

Gambar 3.12 menunjukkan pin-pin dan sinyal kontrol dari Z-80 dan gambar 3.13 menunjukkan arsitektur internal dari CPU Z-80. Hubungan antara CPU Z-80, memori, I/O port, Interface, dan peripheral pengontrol lainnya (Serial to Paralel, timer dan DMA) ditunjukkan pada gambar 3.14. Seluruh komponen terhubung bersama menggunakan sistem bus.



GAMBAR 3.12 (44)

PIN DAN SINYAL PADA MIKROPROSESOR Z-80



GAMBAR 3.13 45)

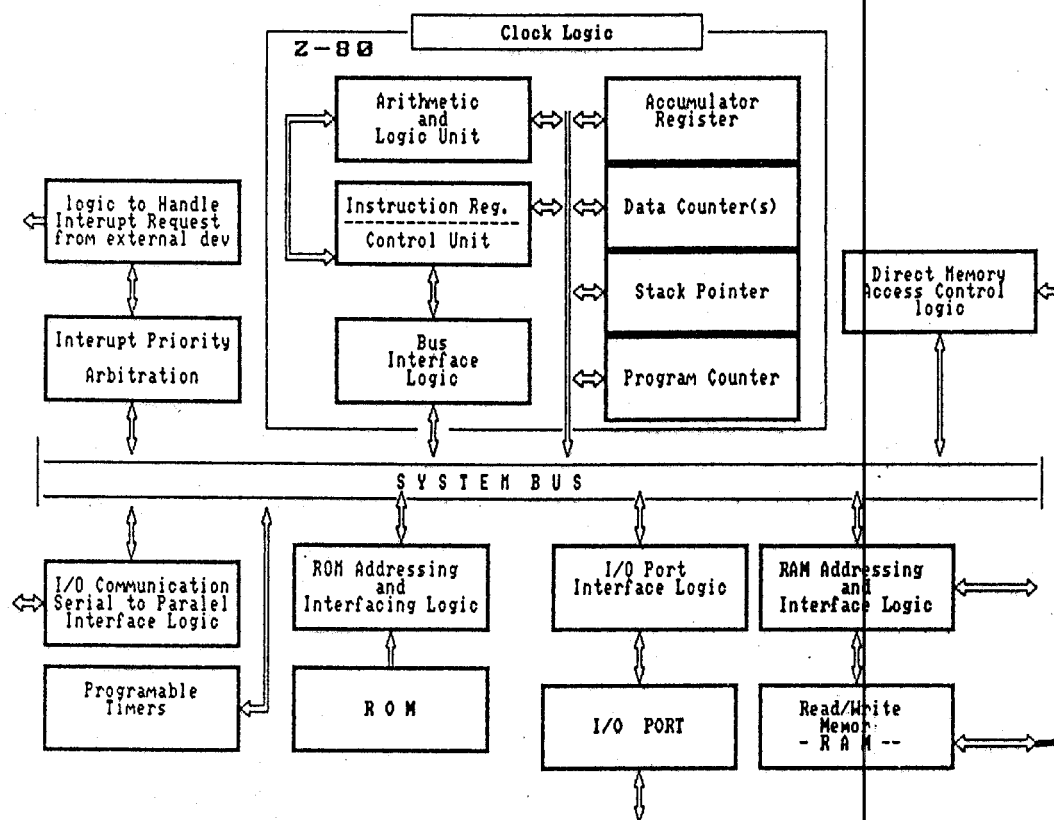
ARSITEKTUR INTERNAL MIKROPROSESOR Z-80

- 44) Robinson, Phillip R., "The Programming Guide to the Z80 CHIP", TAB BOOKS, Inc, PA, 1984, pp.10
 45) Adam Osborne, Introduction to Microcomputer (Some real product), Sybex, Paris, 1976, p.5.10

III.7.2.1 SISTEM BUS

A. ADDRESS BUS

Mempunyai lebar 16 bit unidirectional. Dengan 16 bit mampu mengakses 64 K memori (16 bit penuh) dan dengan bantuan sinyal kontrol juga dapat mengakses 256 input port dan 256 output port (8 bit rendah sebagai address dan 8 bit tinggi membawa nilai accumulator).



GAMBAR 3.14 ⁴⁶⁾

KONFIGURASI SISTEM MINIMUM MIKROPROSESOR

⁴⁶⁾ Adam Osborne, opcit., p.5-2

B. DATA BUS

The diagram illustrates the connection of a 74LS244 hex inverter to a Z80 microprocessor. The Z80 pins on the left are connected to the 74LS244 inputs as follows:

- M1** (pin 27) to **A0** (pin 30)
- MREQ** (pin 19) to **A1** (pin 31)
- IORQ** (pin 20) to **A2** (pin 32)
- WR** (pin 22) to **A3** (pin 33)
- RD** (pin 21) to **A4** (pin 34)
- REFSH** (pin 28) to **A5** (pin 35)
- HALT** (pin 18) to **A6** (pin 36)
- WAIT** (pin 24) to **A7** (pin 37)
- INT** (pin 16) to **A8** (pin 38)
- NMI** (pin 17) to **A9** (pin 39)
- RESET** (pin 26) to **A10** (pin 40)
- BUSRQ** (pin 25) to **A11** (pin 41)
- BUSAK** (pin 23) to **A12** (pin 42)
- CLK** (pin 6) to **A13** (pin 43)
- CLK** (pin 6) to **A14** (pin 44)
- CLK** (pin 6) to **A15** (pin 45)

The 74LS244 outputs are connected to the DIR pin of another 74LS244, which is labeled "signal R/H". The 74LS244 outputs are also connected to the DIR pin of another 74LS244, which is labeled "signal R/H".

HUBUNGAN SISTEM BUS DAN BUFFER

47) Coffron, James W., Z-80 Application, Sybex Inc., 1983, p.

C. CONTROL BUS

Memberikan 13 sinyal yang berbeda yang digunakan untuk memonitor dan sinkronisasi seluruh operasi CPU. Secara umum Control bus terbagi tiga bagian, yaitu pengendali sistem (system control), pengendali CPU (CPU controls) dan pengendali bus (CPU BUS controls).

o Pengendali Sistem (System Controls)

Yang termasuk pada pengendali sistem adalah M1, MREQ, IORQ, RD dan WR.

1. M1 Mengidentifikasi instruksi mesin 'fetch-cycle' saat menjalankan suatu instruksi.
2. MREQ Menunjukkan adanya operasi pada memori, akan low jika address dalam bus siap untuk memori read atau write. Saat MREQ dan RD low, CPU akan membaca data satu byte dari memori, dan bila bersamaan dengan WR low, CPU kan menulis ke memori.
3. IORQ Menunjukkan adanya operasi pada unit input-output dan juga digunakan pada saat interrupt bersama M1.
4. RD Tristate sinyal yang menunjukkan CPU akan membaca data dari memori atau I/O bersama Mreq atau IOreq.
5. WR Menunjukkan bahwa CPU akan menulis data ke memori atau I/O bersama Mreq dan IOreq.
6. RFSH Sinyal ini digunakan untuk merefresh (menyegarkan) memori dinamis. Dengan sinyal ini RAM dinamis akan disegarkan setiap 2 ms atau lebih untuk dikirim ke

address bus saat mendapat instruksi 'fetch'.

o PENGENDALI CPU

Untuk mengendalikan CPU digunakan 5 pin, yaitu HALT, WAIT, INT dan NMI serta RESET.

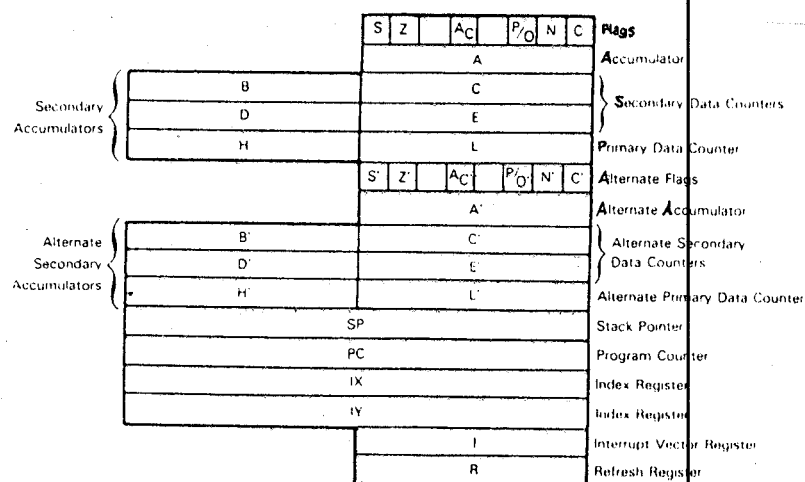
1. HALT akan low setelah eksekusi instruksi halt dari program dan halt dapat dihentikan oleh interrupt.
2. WAIT menunjukkan bahwa CPU sedang mempersiapkan diri. Pin akan 'low' jika CPU dalam keadaan menunggu atau device tidak siap.
3. INT dan NMI adalah dua input yang menyatakan adanya interrupt.
4. Reset , dengan Z-80 reset maka program counter, register IV dan R akan diset ke nol (low) dan interrupt disable serta seluruh bus mengambang.

o PENGENDALI BUS

Untuk kebutuhan processing data diluar sistem CPU dan access memori langsung (DMA) digunakan BUSRQ dan BUSAK yang memungkinkan sistem lepas dari CPU.

D. REGISTER dan STATUS FLAG

Z-80 terdiri dari 22 register (208 bit programable RAM) yang terbagi dalam register 16 bit, register 8 bit dan flip-flop.



GAMBAR 3.16 48)

REGISTER DAN STATUS FLAG Z - 80

o8 Bit Accumulator

Pusat operasi aritmatika dan logika (ALU).

o16 Bit Program Counter (PC)

Pointer alamat dari instruksi berikutnya.

o16 Bit Stack Pointer (SP)

Dengan stack pointer memungkinkan membuat ruang sebesar ruang memori yang diperlukan.

o8 Bit General purpose register (B, C, D, E, H dan L)

Dapat digunakan sebagai akumulator sekunder, data counter dan memori pointer. Dapat diubah ke bentuk 16 bit dengan kombinasi BC, DE dan HL. Penggunaannya dapat luwes dikenal sebagai 'Alternate bank register'.

48) Leventhal, Lance R, "Z-80 Assembly Language Programming", McGraw-Hill, Singapore, 1986, p.3-2

o Register (interrupt page register)

Alokasi address untuk mode interrupt yang sesuai.

oR Register (memori refresh)

Berisi counter yang membuat sistem perancangan memori dinamik lebih mudah.

o Interrupt Flip-flop

Memberikan penghitungan status interrupt yang lebih kompleks dibanding single interrupt flag.

o Temporary Bus register dan Instruction register

Disediakan untuk fasilitas mencari kesalahan dan untuk penggunaan tingkat tinggi.

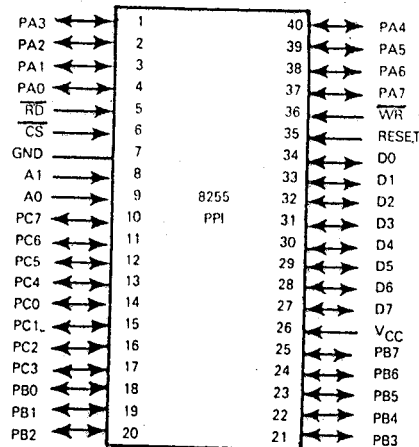
o Flag Register (F)

Terdiri 7 flag untuk memonitor CPU dan kondisi bit-bit yang berhubungan dengan operasi, diantaranya Sign, Zero, Auxiliary carry, parity/overflow, Subtrack dan Carry.

111.7.3 8255 PARALEL I/O

8255 terdiri dari 3 port yang dapat diprogramkan sebagai input dan output. Sesuai dengan gambar 3.17, ada dua bentuk data bus :

- D0-D7 menunjukkan data bus dua arah yang menghubungkan CPU dan 8255,
- PA0-PA7, PB0-PB7 dan PC0-PC7 berfungsi sebagai data bus terhubung dengan tiga bus '8 bit I/O' A, B dan C.



Pin Name	Description	Type
D0 - D7	Bidirectional Data Bus	Bidirectional
PA0 - PA7	Eight I/O pins, designated as Port A	Bidirectional
PB0 - PB7	Eight I/O pins, designated as Port B	Bidirectional
PC0 - PC7	Eight I/O pins, designated as Port C upper and Port C lower	Bidirectional
RD	Read from device control	Input
WR	Write to device control	Input
RESET	System reset	Input
CS	Device select	Input
A0, A1	I/O port select	Input

GAMBAR 3.17 ⁴⁹⁾

PIN DAN SINYAL PPI 8255

Operasi 8255 berdasarkan fungsi port dan mode tergantung pin-pin kendali (Cs, Ao, A1, RD dan WR) serta control word dari CPU (Do - D7). Pada dasarnya, operasi 8255 terbagi dengan 3 mode yang berhubungan dengan kondisi dan kegunaan dari empat lokasi 8255 yang dapat dialamati,

⁴⁹⁾ Adam Osborne, opcit, p.4-76

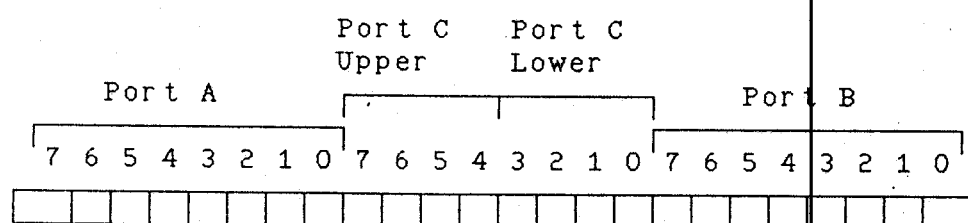
TABEL 3.1 ⁵⁰⁾

PENGALAMATAN PORT - PORT PADA 8255

CS	A1	A0	RD	WR	OPERASI	
0	0	0	0	1	PORT A KE BUS DATA	CPU MEMBACA PORT ABC
0	0	1	0	1	PORT B KE BUS DATA	
0	1	0	0	1	PORT C KE BUS DATA	
0	0	0	1	0	BUS DATA KE PORT A	CPU MENULIS KE PORT KENDALI
0	0	1	1	0	BUS DATA KE PORT B	
0	1	0	1	0	BUS DATA KE PORT C	
0	1	1	1	0	BUS DATA KE BUS - KENDALI	
0	1	1	0	1	TIDAK SAH (ILLEGAL)	DILUM- BUS DATA THREE STATE- PUHKAN
1	-	-	-	-	BUS DATA THREE STATE	

yaitu: 3 port I/O dan sebuah buffer yang nantinya diisi dengan 'control word'. Ketiga mode yang dapat dipilih dari 8255 adalah :

- Mode 0, merupakan penggunaan 8255 yang paling sederhana dan dengan kondisi port yang dapat dipilih bebas sebagai input atau output, termasuk port C upper dan lower.

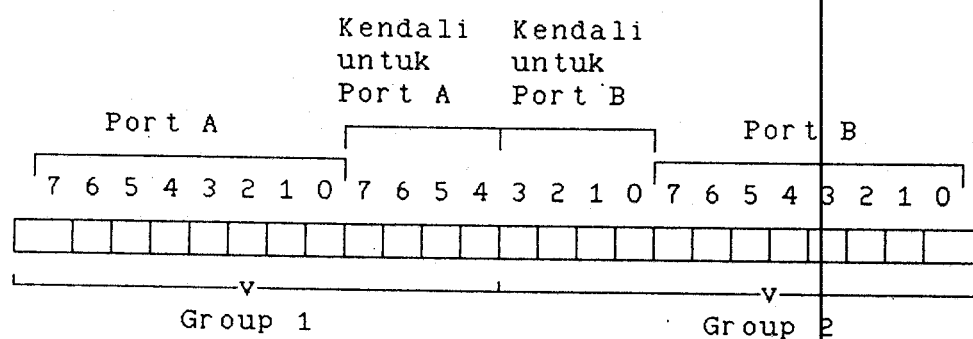
GAMBAR 3.18 ⁵¹⁾

SUSUNAN PORT 8255 MODE 0

⁵⁰⁾ Rodney Zaks, Teknik Perantaraan Mikroprosesor, Sybex inc., Pen. Airlanngga, Jakarta, 1983, hal.
⁵¹⁾ Adam Osborne, opcit., p.

Cara mengendalikan mode tergantung pada sandi kendali (control word) yang dikirimkan oleh CPU dan diterima oleh buffer 8255. Gambar 3.20 menunjukkan susunan dari sandi kendali yang dikirim oleh CPU dan responnya.

- Mode 1, Port A dan B didefinisikan sebagai dan output sedangkan port C memberikan sinyal kendali untuk 'hand-shaking' (INTR, IBF, STB, OBF, ACK).



GAMBAR 3.19 52)

SUSUNAN PORT 8255 MODE 1

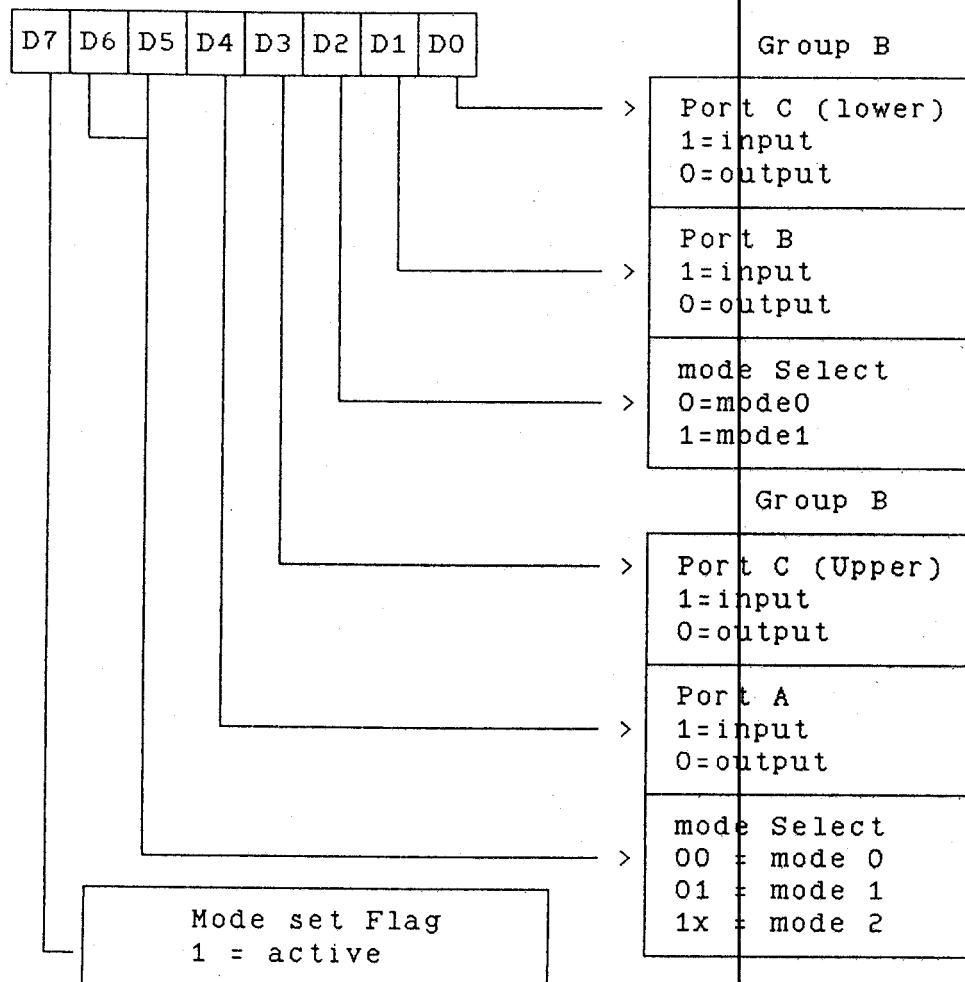
- Mode 2, dengan mode ini port A merupakan bus dua arah dengan sinyal kendali dari port C.

III.7.4. RANDOM ACCESS MEMORY (RAM)

Ada dua jenis RAM yaitu RAM Statis dan RAM dinamis, tetapi dalam rangkaian minimum lebih banyak digunakan RAM Statis, dengan pertimbangan penggunaan memori dinamis lebih rumit secara perangkat keras dan atau perangkat lunak, karena memerlukan penyegaran setiap waktu tertentu.

52) Ibid

Control word



GAMBAR 3.20 53)

DEFINISI BIT KENDALI REGISTER 8255

Proses untuk menulis (Write) dan membaca dari RAM (Read) secara umum harus melalui tahapan sebagai berikut :

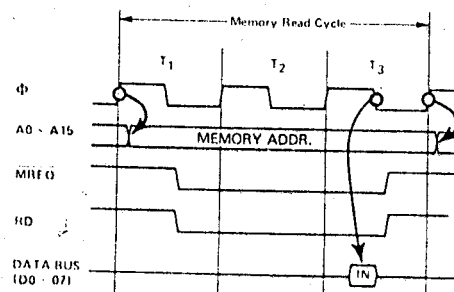
1. Menentukan lokasi (Address) RAM yang akan dibaca atau digunakan untuk menyimpan data.

53) Coffron, opcit., p.5-9

2. Melakukan 'setting control line R/W' agar memori beroperasi sesuai fungsi yang diinginkan (read/write).
3. Menunggu sampai rangkaian internal memori dapat mendekodekan address secara stabil. Waktu yang dibutuhkan tersebut (sekitar 100-250 ns) dinamakan :
 - write access time, pada operasi menulis dan
 - read access time, untuk saat baca.
4. Setelah melewati access time, data yang berada pada bus akan dituliskan pada CPU saat write dan pada saat read berarti data dari RAM siap diambil.

c. Operasi 'Read' Memori

Gambar 3.21 menunjukkan timing dari pembacaan data dari RAM. Secara normal data akan diperoleh setelah 3 perioda clock setelah address stabil dan \overline{MREQ} dan \overline{RD} low.



GAMBAR 3.21 54)

TIMING PEMBACAAN MEMORI OLEH Z-80

54) Adam Osborne, opcit., p.5-15

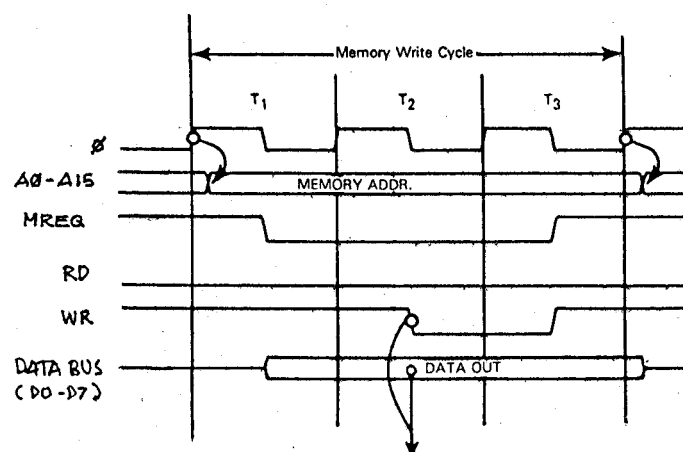
o Operasi 'Write' Memori

Gambar 3.22 memperlihatkan bahwa memori akan menerima data dari data bus setelah sinyal \overline{WR} low, dan hal ini seakan memberi picu (strobe) kepada memori untuk menerima data dari bus.

III.7.5 READ ONLY MEMORY (ROM)

Rom berisi data-data yang hanya siap dibaca. Pembacaan data dari rom hampir sama dengan pembacaan data dari RAM, yaitu:

1. Menentukan alamat yang akan dibaca,
2. Berada dalam kondisi 'wait access time' sekitar 100-300 nano detik,



GAMBAR 3.22 55)

TIMING PENULISAN MEMORI DARI Z-80

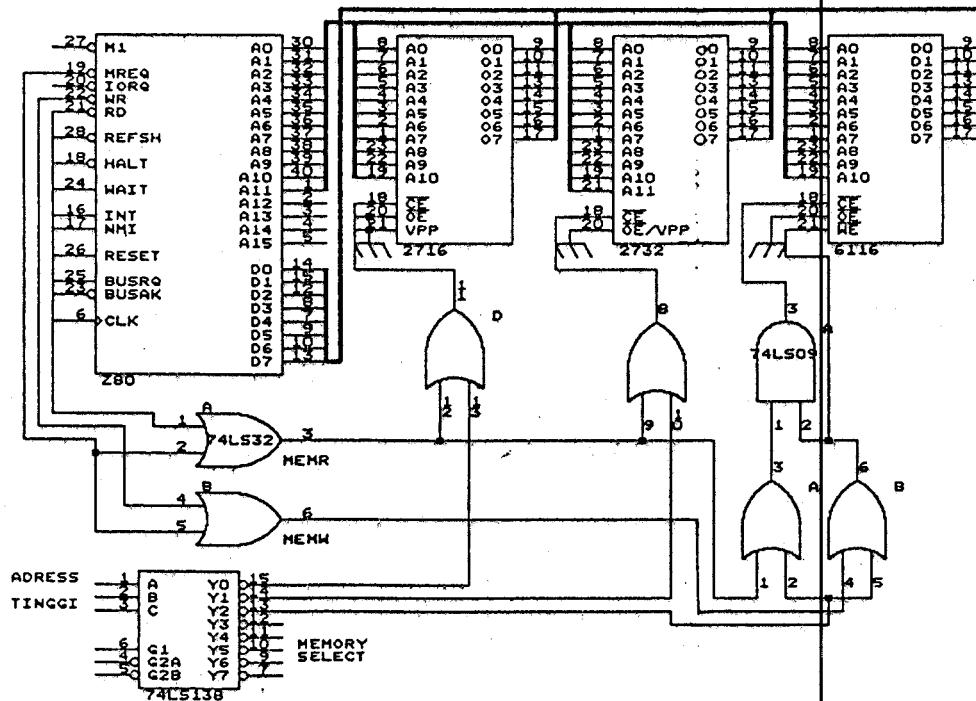
55) Ibid

3. Mengaktifkan pemilih serpih (Chip Select CS),
4. Mematikan CS jika pembacaan telah selesai.

111.7.6 HUBUNGAN MEMORI DAN CPU

Untuk menghubungkan CPU dan memori dapat dilakukan dengan mengatur beberapa parameter, diantaranya :

1. Pengkodean address tinggi untuk pengalamatan dan pengaktifan CS,
2. Pengkodean sinyal kendali 'read-write' $\overline{R/W}$,
3. Pengaktifan \overline{CS} dan $\overline{R/W}$ secara bersamaan.



GAMBAR 3.21 50

HUBUNGAN Z-80 DENGAN MEMORI 2716, 2732 DAN 6116

III.8 APLIKASI IC LM555

IC LM555 adalah IC Timer yang dapat diaplikasikan sebagai "One shot dan Astable multivibrator".

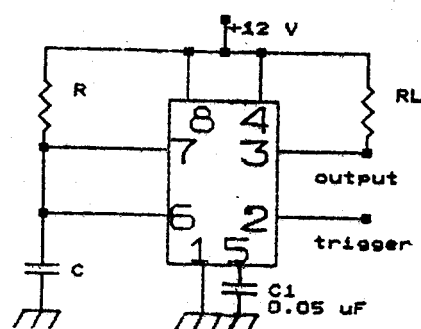
III.8.1 One shot Multivibrator

One shot diaktifkan oleh pulsa 'negative going' antara trigger input dan ground. Trigger akan membuat output Q menjadi positif dan kapasitor diisi (charge) melalui resistor R. Jika tegangan pada C hampir mendekati $\frac{2}{3}$ dari V_{cc} , kapasitor akan segera membuang muatan (discharge) ke ground dan output kembali ke 0 (low). Panjang output logika 1 ditentukan dengan :

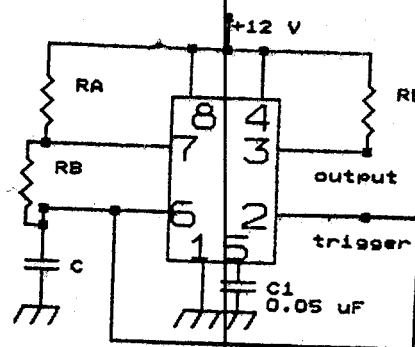
$$T = 1.1 RC \quad \dots \dots \dots (3.1)$$

dimana, R = resistansi dalam Ohm,

C = harga kapasitor dalam Farad.



a. One shot 555



b. Astable Multivibrator 555

GAMBAR 3.24 57)

555 TIMER SEBAGAI ONE-SHOT DAN ASTABLE MULTIVIBRATOR

57) ARRL, ARRL Hand Book for the radio amateur, ARRL, USA, 1968, p.8.8

III.8.2 Astable multivibrator

Pada gambar 3.24 diatas ditunjukkan rangkaian as-table/free running multivibrator. Parameter yang dapat diatur adalah frekuensi dan lebar pulsa. Kapasitor C dimuati dengan $2/3 V_{cc}$ melalui R_1 dan R_2 dan membuang muatan sampai $1/3 V_{cc}$ melalui R_2 . Perbandingan R_1 dan R_2 menentukan daur (duty cycle) dari pulsa, yaitu perbandingan waktu output high (1) dengan perioda total output. Frekuensi output ditentukan oleh persamaan :

$$f = \frac{1.46}{(R_1 + 2R_2) \cdot C} \dots \dots \dots (3.2)$$

dimana, R_x = resistansi dalam Ohm,

C = kapasitor dalam Farad.

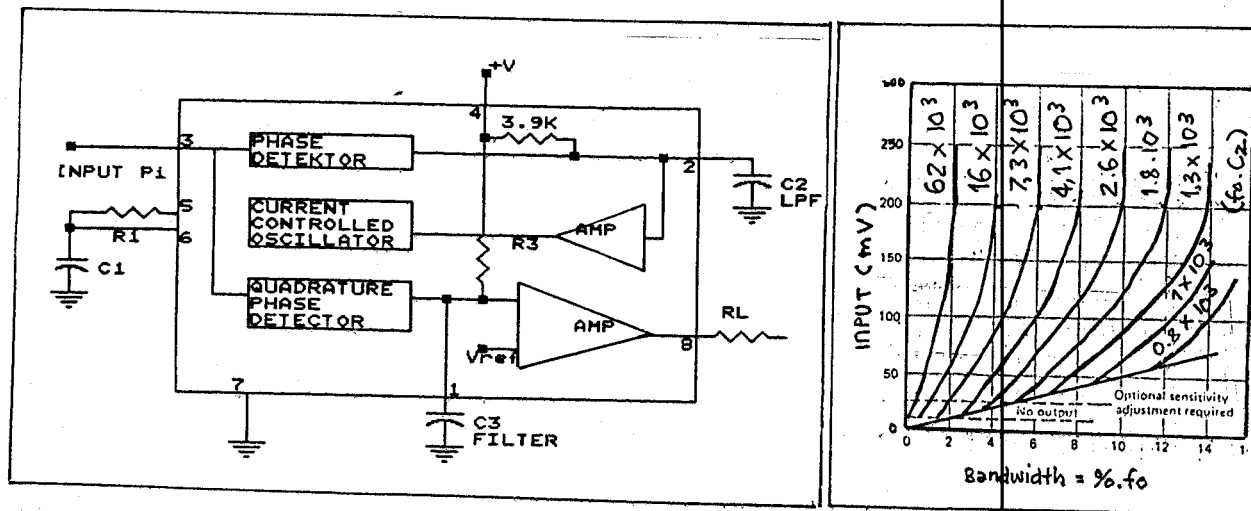
III.9 TONE DECODER LM567

LM567 merupakan detektor nada yang menerapkan teknologi PLL. Output detektor akan berharga satu, jika sinyal input f mampu sesuai dengan harga yang ditentukan.

Frekuensi deteksi ditentukan oleh harga-harga R_1 , C_1 dan C_2 sebagai penentu tegangan VCO dan filter output. Sesuai gambar rangkaian 3.25a, frekuensi kerja dapat ditentukan dengan persamaan :

$$f_o = \frac{1.1}{R_1 \cdot C_1} \dots \dots \dots (3.3)$$

R_1 mempunyai harga antara $2 \text{ k}\Omega$ - $20 \text{ k}\Omega$.



GAMBAR 3.25 58)

TONE DEKODER LM567

Lebar bidang deteksi (bandwidth) tergantung harga C_2 , yang dapat dihitung berdasarkan grafik pada gambar 3.25b. dengan persamaan :

$$C_2 = \frac{(f_o.C_2)}{f_o} \dots\dots\dots (3.4)$$

dimana, $(f_o.C_2)$ adalah harga yang diperoleh dari grafik pada bandwidth dan sinyal input yang ditentukan.

III.10 TRANSISTOR SWITCH

III.10.1 Switching transistor

Jika transistor digunakan sebagai switch, biasanya dioperasikan bergantian antara kondisi cut-off dan

58) National, Linear Data Book, National SC, Santa Clara, 1982, p.9-37

saturasi. Berdasarkan gambar 3.26 input gelombang akan transisi antara level V_1 dan V_2 , saat V_2 transistor cut-off dan pada V_1 saturasi. Persamaan yang digunakan dalam perencanaan adalah :

$$I_c = V_{cc}/R_L \dots\dots\dots (3.5)$$

$$I_b = I_c/h_{fe} \dots\dots\dots (3.6)$$

III.10.2 OPTOCOUPLER

Optocoupler diperlukan pada saat menghubungkan dua sistem elektris, tetapi tanpa keduanya terhubung langsung. Dalam perencanaan operasi dilakukan seperti pada saat merancang transistor, dengan persamaan output :

$$R_f = \frac{V_{oh} - V_f}{I_f} \dots\dots\dots (3.7)$$

$$\text{atau } R_f = \frac{V_{dd1} - V_f - V_{ol1}}{I_f} \dots\dots\dots (3.8)$$

$$\text{dan harga } R_L = \frac{V_{dd2} - V_{olx}}{I_L} \dots\dots\dots (3.9)$$

dimana, V_{dd1} = tegangan catu input

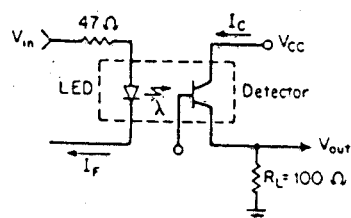
V_{oh} dan V_{ol} = Tegangan logika dari driver

V_f dan I_f = Tegangan dan arus maju dari device.

V_{dd2} = Power supply output

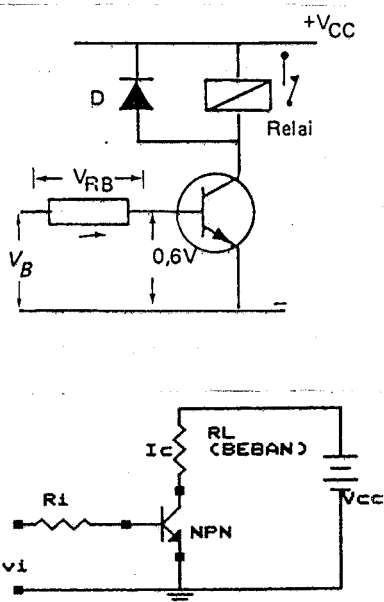
I_L = Jumlah arus yang diperlukan beban

V_{olx} = Tegangan saturasi.



GAMBAR 3.26 59)

RANGKAIAN OPTOISOLATOR

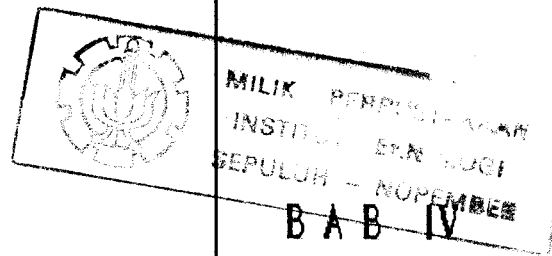


GAMBAR 3.27 60)

TRANSISTOR SEBAGAI SWITCH

59) Paul B, opcit., p.12-65

60) Willman & Halkias, Electronics devices and circuits, McGraw-Hill, Tokyo, 1962, p.257



PERENCANAAN MODEL PABX

IV.1 DESKRIPSI UMUM SISTEM

Ide dasar pembuatan ini adalah model PABX digital ini adalah membuat prototip dari sistem switching digital yang dapat mensimulasikan fungsi-fungsi :

- o Channel Bank D4E dan konsentrator,

Sebagai channel bank dan konsentrator berfungsi memperkecil kebutuhan kanal ke sentral lokal.

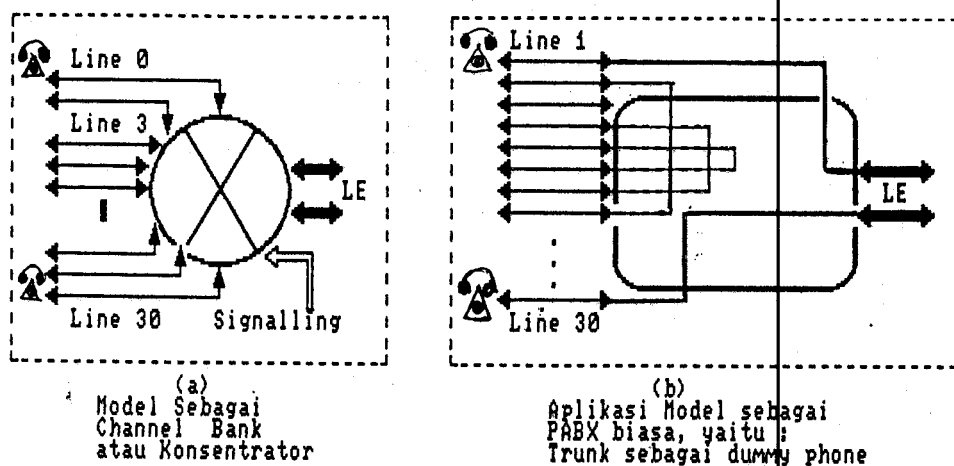
- o Sebagai PABX Digital,

Berfungsi sebagai sentral kapasitas kecil, menggunakan switching digital dan berpengontrol mikroprosesor Z-80.

Blok diagram aplikasi ditunjukkan pada gambar 4.1.

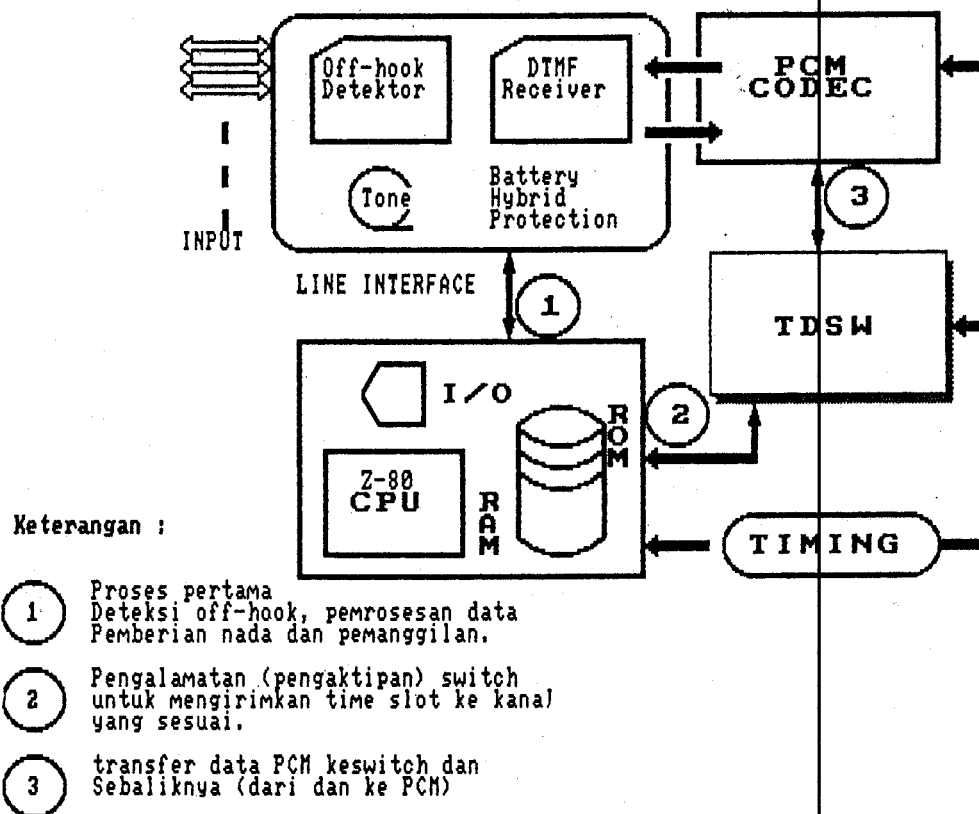
IV.1.1 BLOK DIAGRAM SISTEM

Diagram blok sistem ditunjukkan pada gambar 4.2. Informasi kondisi hook, pemberian nada, pemanggilan dan signalling dilakukan di line interface. Data tersebut disimpan di memori dan digunakan dalam proses switching di TDSW. Setelah proses-proses tersebut selesai, dilakukan pengkodean dengan pengkodean PCM A-law 30. Seluruh proses dikendalikan oleh sistem minimum mikroprosesor Z-80 berdasar program yang tersimpan di ROM melalui port 8255.



GAMBAR 4.1

DIAGRAM APLIKASI MODEL



GAMBAR 4.2

BLOK DIAGRAM SISTEM

IV.2 PERENCANAAN LINE INTERFACE

Menyediakan fungsi-fungsi BORSH, diantaranya :

o Supervisory

- deteksi kondisi loop (ekstention dan trunk).
- Mengenali digit DTMF dari telepon set.

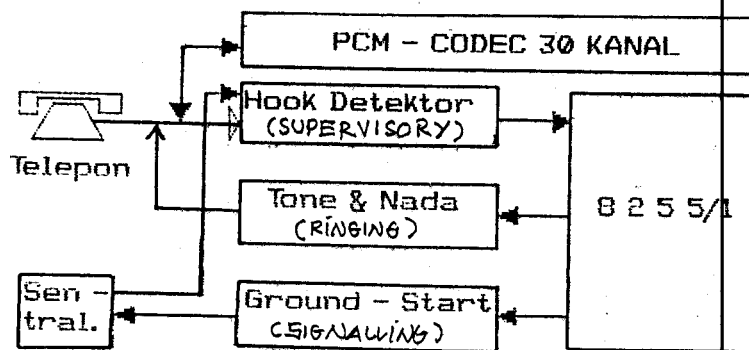
o Ringing,

- dengan menganggap telepon set sudah elektronik, interface menghubungkan nada ring 425 Hz.

o Signaling,

- menggerakkan ground-start relay kesentral lokal (LE).

o Penghubung sirkit bicara ke Codec, codec dianggap bagian terpisah dari line interface.



GAMBAR 4.3

BLOK DIAGRAM LINE INTERFACE

IV.2.1 SUPERVISORY INTERFACE

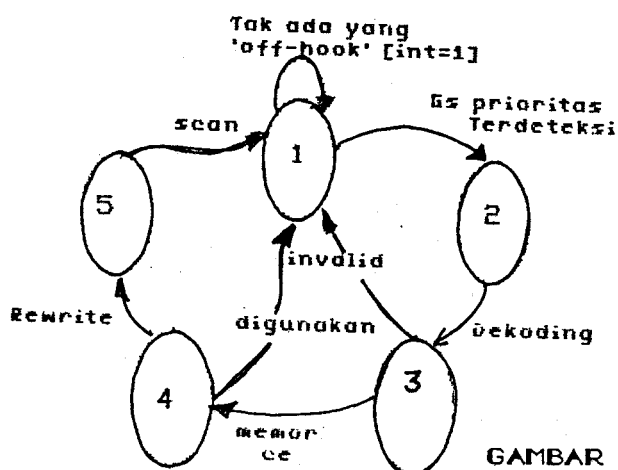
Detektor kondisi loop dan DTMF receiver bekerja menggunakan prinsip 'scanning', untuk mendeteksi data valid hasil deteksi kondisi saluran dan pembacaan nomor DTMF.

IV.2.1.1 Interface deteksi loop

Diagram keadaan (state) dari interface deteksi loop dapat dilihat pada gambar 4.4. Tahap awal adalah mengirim bit-bit scan yang merupakan sinyal pilih pada multiplex data. Jika data out low berarti saluran tersebut off-hook atau ada panggilan dari sentral.

A. Detektor kondisi loop ekstention

Kondisi hook pada loop dapat diketahui dengan adanya aliran arus yang melalui trafo pencatu saat hook switch terangkat, seolah terjadi hubung singkat antara lilitan (TL1) dan (TL2) trafo catudaya (battery feed).



Keterangan :
 1. 8255 kirim bit
 2. Interrupt input
 3. 8255 baca data
 4. memory read
 5. memory re-write

GAMBAR 4.4

DIAGRAM KEADAAN DETEKTOR LOOP DAN TRUNK

Kondisi tersebut harus dapat dimonitor oleh CPU sebagai harga biner, yaitu 1 = off-hook dan 0 = on-hook. Dari keadaan diatas perlu alat konversi untuk memisahkan tegangan catu (-48 V) dengan komponen TTL.

Cara diterapkan adalah menggunakan opto-coupler yang difungsikan sebagai 'power to logic interface'. Pada model ini dipilih optocoupler transistor 4N28 dengan kemampuan isolasi sampai 2500 volt . Keadaan off-hook dideteksi sebagai adanya arus yang mengalir dari ground melalui opto-coupler OC_1 .

Resistor seri (R_f) 620 Ω membatasi arus agar \equiv arus maju optimum (forward current) yaitu sekitar 0.5 mA. Dengan keadaan diatas kolektor dan emittor transistor opto-coupler (OC_1) akan saturasi dan kolektor menjadi 'low'. Output 'low' dari opto coupler inilah yang discan oleh multiplek 74154 dan pengkode prioritas 74148 yang akan menentukan line yang sedang off hook.

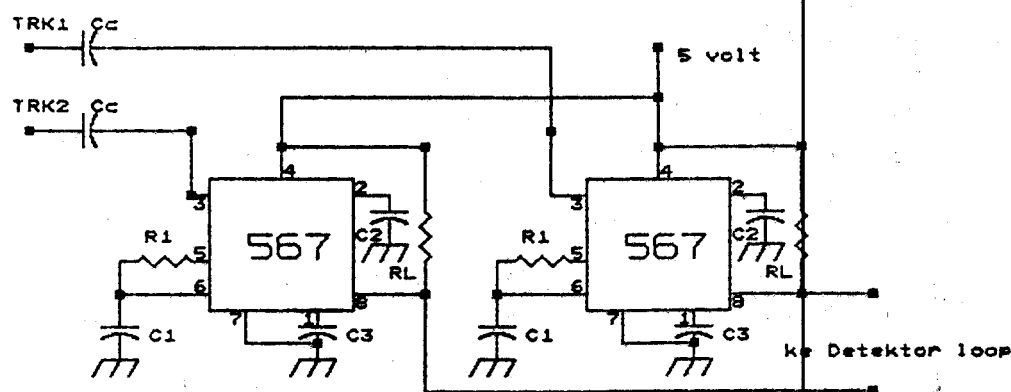
B. Deteksi Panggilan dari sentral (LE)

Perencanaan dimulai dengan anggapan sentral sudah memenuhi fundamental plan Perumtel 1985, panggilan sentral ke subscriber dilakukan menggunakan tone 425 Hz selain sinyal ringing konvensional 72 Vdc, 25 Hz. Karena itu direncanakan detektor nada 425 Hz untuk melihat kondisi trunk (panggilan dari trunk atau saat memanggil trunk).

Detektor direncanakan menggunakan PLL detektor

IC LM567B, frekuensi kerja dapat diset dengan mengatur R_1 , C_1 dan C_2 sesuai persamaan (3.3) dan (3.4). Berdasarkan asumsi input 200 mV dan bandwidth yang diperbolehkan 2 %.

$F_o = 425$ Hz, dengan mengambil harga $C_1 = 0.22 \mu\text{F}$ diperoleh harga $R_1 = 1.1 / (425 \times 2.2 \times 10^{-7})$, yaitu 11764 Ohm atau sekitar 12 k Ω . Pada 200 mV dan bandwidth 2% dari grafik diperoleh $(f_o.C_2) = 62.10^{-3}$, sehingga harga $C_2 = 62.10^{-3} / 425 = 145,8$ nF diambil harga 0.22 μF . C_3 minimal $2.C_2$, maka dipilih 0.47 μF . $C_c = 0.5 \mu\text{F}$ dan R_L diambilkan 2 k Ω sebagai resistor pull-up.



GAMBAR 4.5

RANGKAIAN DETEKTOR NADA 425 Hz

C. Rangkaian Scanning dan Pengkode Prioritas

Fungsi rangkaian ini adalah menghubungkan hasil deteksi loop extention dan panggilan sentral, rangkaian meliputi 2 Multiplexer 74LS150 untuk pengenalan loop aktif. IC 74LS148 digunakan membedakan tingkatan (prioritas), dengan membandingkan loop yang dideteksi terakhir dengan kode dari priority encoder. Hasil perbandingan menentukan nomor mana yang diberi nada lebih dahulu.

Output dari multipleks ditentukan oleh kondisi loop yang dipilih berdasarkan input bit scan pada kaki A, B, C dan D dari 74150 dan strobe dari 8255, output W merupakan input pada port lain.

TABEL 4.1

TABEL KEBENARAN IC 74LS150

INPUT SELECT				INPUT STROBE	OUTPUT
A	B	C	D	S	W
X	X	X	X	X	H
L	L	L	L	L	E0
L	L	L	H	L	E1
L	L	H	L	L	E2
L	L	H	H	L	E3
L	H	L	L	L	E4
L	H	L	H	L	E5
L	H	H	L	L	E6
L	H	H	H	L	E7
H	L	L	L	L	E8
H	L	L	H	L	E9
H	L	H	L	L	E10
H	L	H	H	L	E11
H	H	L	L	L	E12
H	H	L	H	L	E13
H	H	H	L	L	E14
H	H	H	H	L	E15

Sebagai pengkode prioritas dan unit interupt digunakan multipleks 74LS148 '8 to 3 priority Encoder'. Setiap IC dapat mendekodekan 8 input - 3 output address (Ao, A1, A2) dan satu output 'priority flag' Gs selain enable output (Eo). Untuk deteksi 32 line harus digunakan 4 IC74LS148 ditambah beberapa gerbang NAND yang berfungsi menyandikan 16 keluaran IC dengan output data 5 bit (Do, D1, D2, D3, dan D4) dan Gs sebagai unit yang memeberikan sinyal interupt pada CPU.

11.2.1.2 DTMF RECEIVER

Sesuai pembahasan pada bab 2 mengenai tone dekoder, DTMF receiver harus mampu mendeteksi frekuensi 697 Hz, 1209 Hz, 770 Hz, 1336 Hz, 825 Hz, 1477 Hz dan 941 Hz yang mewakili group rendah dan group tinggi.

TABEL 4.2
TABEL KEBENARAN IC 74LS148

INPUT									OUTPUT				
E1	0	1	2	3	4	5	6	7	A2	A1	A0	Gs	Eo
H	X	X	X	X	X	X	X	X	H	H	H	H	H
L	H	H	H	H	H	H	H	H	H	H	H	H	L
L	X	X	X	X	X	X	X	L	L	L	L	L	H
L	X	X	X	X	X	X	L	H	L	L	H	L	H
L	X	X	X	X	L	H	H	H	L	H	L	L	H
L	X	X	X	L	H	H	H	H	H	L	L	L	H
L	X	X	L	H	H	H	H	H	H	L	H	L	H
L	X	L	H	H	H	H	H	H	H	H	L	L	H
L	L	H	H	H	H	H	H	H	H	H	H	L	H

Sebagai tone dekoder tetap digunakan digunakan IC LM567B PLL detektor yang diset pada frekuensi yang sesuai dengan harga komponen ditunjukkan oleh tabel 4.3. Gerbang NOR digunakan untuk menggabungkan keluaran nada group tinggi dan nada group rendah. Output dari Detektor merupakan kondisi logika dengan hanya 1 output yang aktif pada setiap saat (1, 2, 3, 4,, 9, #, 0, *).

Karena sifat LM567 yang peka, maka diperlukan komponen tambahan pada rangkaian untuk mengurangi munculnya frekuensi yang tidak diinginkan dan osilasi akibat loop antar detektor, diantaranya resistor sekitar 4.7 k Ω pada kaki nomor 2 (low pass filter) yang dihubungkan ke kapasitor by pass 220 μ F. Secara praktis nilai dari komponen dapat diambil harga yang ada dipasaran yang terdekat dengan nilai hasil hitungan.

Diagram keadaan DTMF receiver digambarkan pada gambar 4.7.

TABEL 4.3

HARGA-HARGA KOMPONEN DTMF RECEIVER

Frekuensi	C1	R1	C2	C3
697 Hz	0.1 μ F	15.78 k Ω	88 μ F	176 μ F
770 Hz	0.1 μ F	14.3 k Ω	80 μ F	160 μ F
852 Hz	0.1 μ F	13 k Ω	73 μ F	150 μ F
941 Hz	0.1 μ F	11.7 k Ω	66 μ F	132 μ F
1209 Hz	0.1 Hz	9.1 k Ω	51 μ F	102 μ F
1336 Hz	0.1 Hz	8 k Ω	47 μ F	100 μ F
1477 Hz	0.1 Hz	7.5 k Ω	42 μ F	84 μ F

Menurut teori pada bab 2, DTMF receiver harus dapat menerima burst tone dengan panjang 40 ms dan interval antar digit 40 ms. Ada tiga bagian dari DTMF receiver yaitu multipleks 74150, Counter (Scanner) dan latch.

- Multipleks 74150 ,

Sesuai tabel kebenaran 4.1 multileks 74150 dihubungkan dengan 12 output DTMF dekoder. Pin-pin input E₁₂-E₁₅ dihubungkan ke catu 5 Volt, hal itu bertujuan agar validitas data terjamin.

- Counter 74LS92 dioperasikan sebagai pemilih nomor .

Dengan input clock 10 kHz akan melakukan scanning nomor setiap 0.1 milidetik.

- Quad Latch 74LS75

Output dari counter (Qa-Qd) diumpankan ke latch yang akan menahan harga counter pada saat input strobe (pin 4 dan pin 13) menerima logika high '1' dari multiplexer.

TABEL 4.4

TABEL KEBENARAN IC 74LS92

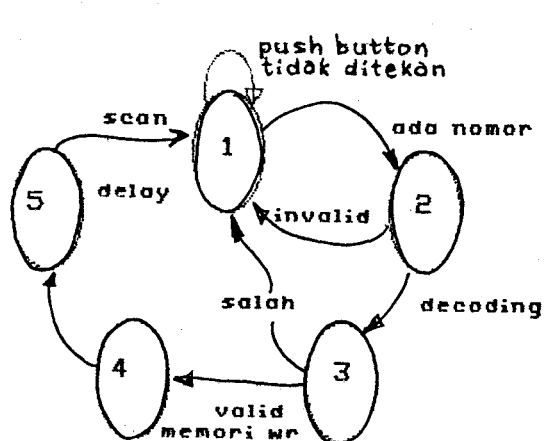
COUNT	OUTPUT			
	Qd	Qc	Qb	Qa
0	L	L	L	L
1	L	L	L	H
2	L	L	H	L
3	L	L	H	H
4	L	H	L	L
5	L	H	L	H
6	L	H	H	L
7	L	H	H	H
8	H	L	L	L
9	H	L	L	H
10	H	H	H	L
11	H	H	H	H

dan harga counter itulah yang dibaca oleh CPU setelah CPU memberikan nada pilih dan jeda yang diatur oleh perangkat lunak.

TABEL 4.5

TABEL KEBENARAN IC 74LS75

LINE INPUT		OUTPUT	
INPUT D	ENABLE G	Q	\overline{Q}
L	H	L	H
H	H	H	L
X	L	Q ₀	$\overline{Q_0}$

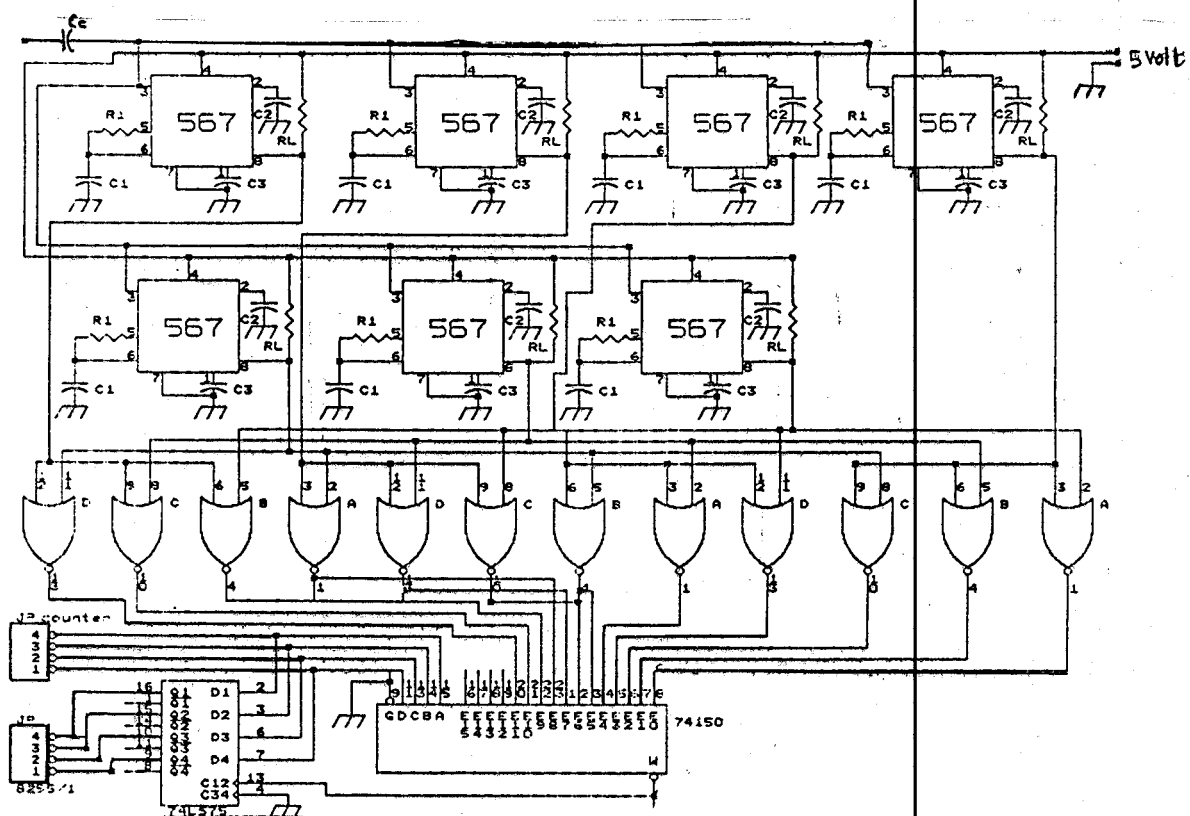


Keterangan :

1. counter kirim bit scan
2. dilakukan debouncing
3. 8255 membaca bit kode
4. RAM menyimpan nomor
5. Counter waktu tunda

GAMBAR 4.7

STATE DIAGRAM PENERIMA DIGIT



GAMBAR 4.8

RANGKAIAN DTMF RECEIVER

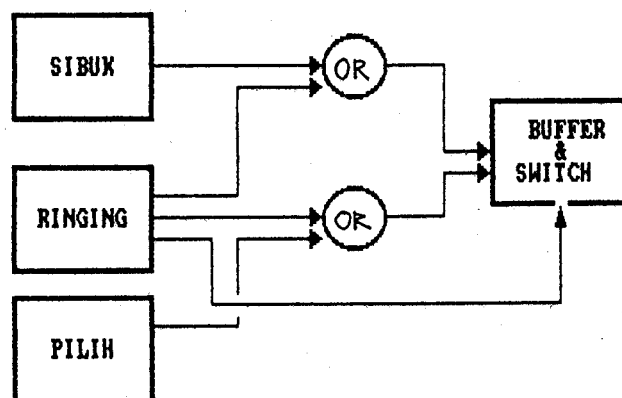
IV.2.2 RINGING INTERFACE

Berfungsi membangkitkan nada berdasar tone 425 Hz dan menghubungkan CPU sebagai pemilih nada yang dikirim.

IV.2.2.1 Pembangkit 425 Hz

Pembangkit nada bertugas membangkitkan nada 425 Hz kontinyu (ringing), dan pemutus nada untuk memperoleh nada sibuk dan pilih.

Perencanaan pembangkit 425 Hz menggunakan IC LM555 yang difungsikan sebagai rangkaian astable multivibrator. Dengan mengambil duty cycle 50 %, Frekwensi kerja ditentukan oleh $R1=R2$ dan C . Sesuai pers. 3... Pada harga $C = 2.2 \mu F$, diperoleh harga $R1 = R2 = 520 \Omega$



GAMBAR 4.9

DIAGRAM BLOK PEMBANGKIT NADA

IV.2.2.2 Pengatur Candence dan Panjang Pulsa

Sesuai teori di bab2, direncanakan 5 pembangkit pulsa, diantaranya :

- o pembangkit pulsa sibuk (0.5 detik on - 0.5 detik off), menggunakan rangkaian astable dengan $R_1=R_2=20 \text{ k}\Omega$ dan $C=47 \text{ }\mu\text{F}$.
- o pembangkit pulsa ringing (1 detik on - 4 detik off), menggunakan rangkaian astable, dengan harga $C = 470 \text{ }\mu\text{F}$ diperoleh $(R_1+2R_2) = 15531 \text{ }\Omega$. Dengan duty cycle 20 % diambil $R_1=0.2R_2$, maka diperoleh harga $R_1=2588 \text{ }\Omega$ dan $R_2 = 12954 \text{ }\Omega$.
- o 3 penentu panjang sinyal (60 detik), yang menghubungkan pemilih nada ke saklar nada. Digunakan rangkaian one-shot 555, dengan mengambil $C = 2200 \text{ }\mu\text{F}$ diperoleh harga R sebesar $R = 60/(1.1 \times 2200 \times 10^{-6}) = 24793 \text{ }\Omega$.

IV.2.2.3 Proses Pemilihan Nada

CPU mengirim data 3 bit dari Port 8255 secara langsung tanpa encoder.

- o Pengiriman bel (ring) :

Output dari sinyal 425 Hz dan pulsa ringing (1 detik on - 4 detik off) di-OR-kan sehingga menghasilkan sinyal output 425 Hz dengan jeda 1 detik on - 4 detik off. Sinyal dihubungkan ke output menggunakan switch CMOS 4066 yang dikontrol pembangkit pulsa 60 detik kesatu.

o Pengiriman nada sibuk (busy) :

A1 dihubungkan ke trigger pembangkit "pulsa 60 detik #2" sebagai pengontrol switch. Output 425 Hz, pulsa nada sibuk (0.5 detik on - 0.5 detik off) dan output "pulsa 60 detik #2" di-OR-kan, maka diperoleh output nada sibuk (425 Hz dengan panjang sinyal 0.5 detik nyala dan 0.5 detik padam).

o Pengiriman nada pilih (dial tone) :

Proses pembangkitan nada pilih sama dengan cara membangkitkan nada lain. Sinyal 425 Hz dihubungkan ke output oleh switch yang dikontrol "pulsa 60 menit #3".

IV.2.2.4 Penghubung nada

Untuk menghubungkan nada dari PABX ke loop digunakan relay yang saat aktifnya tergantung sinyal CPU.

o untuk nada pilih dan sibuk,

Sinyal dari CPU akan mengaktifkan transistor yang difungsikan sebagai saklar dengan beban induktif (relay). Dipilih relay 5 volt dengan impedansi $R = 75 \Omega$ dan dengan arus basis yang diterima dari CPU maksimum 8 mA pada logika 0 dan 400 μA , maka dapat ditentukan operasi optimum dari transistor.

$$I_{\text{relay}} = \frac{V_{\text{cc}}}{R_{\text{relay}}} = \frac{5 \text{ Volt}}{150 \Omega} = 34 \text{ mA.}$$

untuk switching dipilih transistor 2N3904. transistor ini mempunyai data sebagai berikut :

$$\beta_{min} = 40 \text{ (Hfe)}$$

$$V_{be} = 0.7 \text{ volt}$$

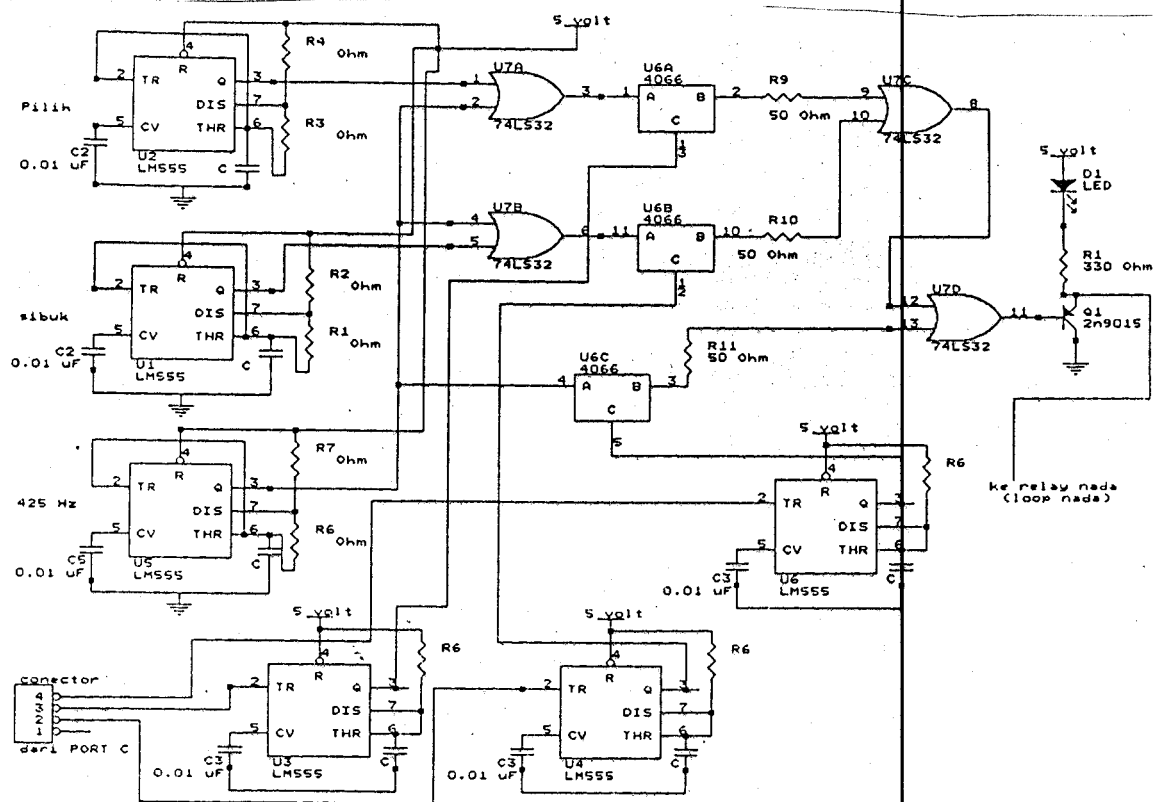
Pada saat on, dengan Hfe = 40 maka Ib yang diperlukan adalah $I_b = I_c / h_{fe} = 34 \text{ mA} / 40 = 0.85 \text{ mA}$. Sehingga pada basis perlu dipasang resistor seri (Rb) :

$$R_b = \frac{5 - 0.7}{8.5 \cdot 10^{-4}} = 5.2 \text{ K}\Omega$$

pulsa tegangan high dari CPU (8255) maka transistor akan "switch on" dan relay akan terhubung (make) dan jika sebaliknya transistor akan "switch-on" dan relay akan release (break).

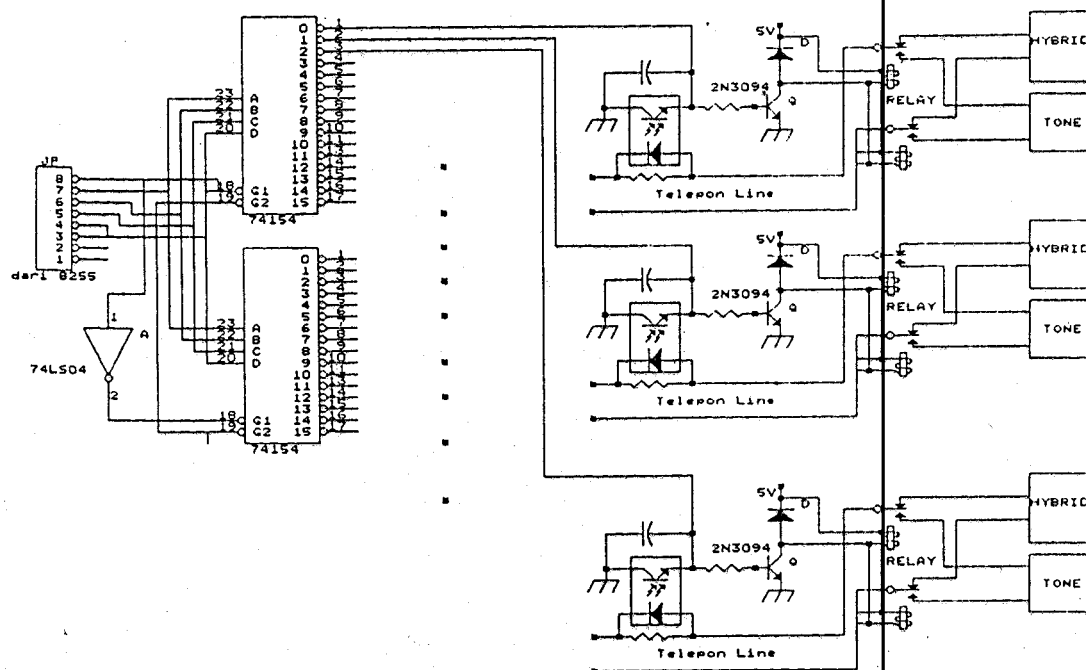
o Untuk ringing

Untuk menghubungkan ringing digunakan relay dan optocoupler. Optcoupler berfungsi sebagai pembanding kondisi data CPU dan kondisi loop. Dengan pulsa pada kondisi high dan loop on-hook, optocoupler tidak bekerja dan relay akan aktif menghubungkan loop dengan pembangkit nada. Jika yang dipanggil mengangkat hand set optocoupler akan dialiri arus dari tegangan -48 volt, transistor NPN akan terhubung ke ground dan cut-off dan hal ini menyebabkan relay tidak bekerja dan terhubung sebagai rangkaian bicara.



GAMBAR 4.10

RANGKAIAN PEMBANGKIT NADA



GAMBAR 4.11

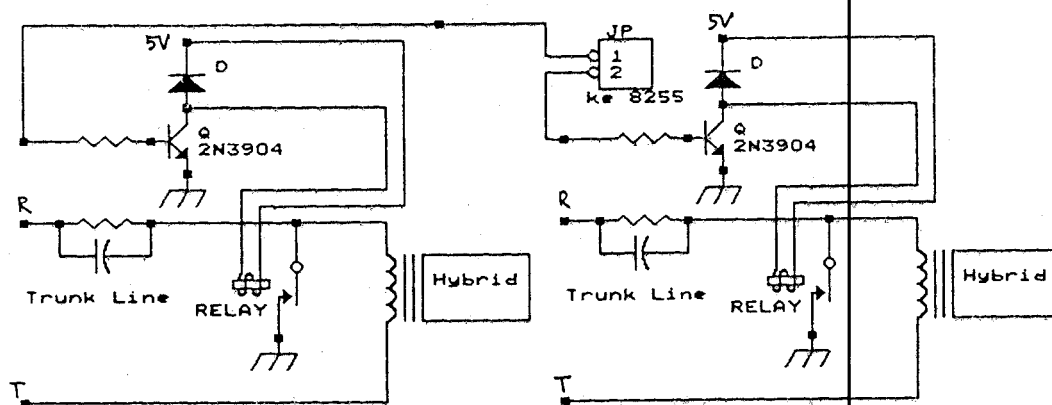
RANGKAIAN PENGHUBUNG NADA

IV.2.3 SIGNALLING INTERFACE (Pemanggil Trunk)

Pemanggil trunk memanfaatkan sinyal dari CPU yang berfungsi sebagai peralatan 'ground-start'. Sentral lokal (LE) akan menganggap sinyal ini sebagai 'off-hook' dari salah satu nomor subscribarnya (nomor trunk pada PABX).

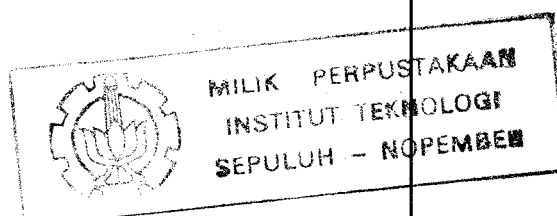
Pemanggilan trunk menggunakan relay yang diaktifkan oleh sinyal dari CPU. Berdasarkan gambar 4.12, Sinyal dari CPU akan mengaktifkan transistor yang difungsikan sebagai saklar dengan beban induktif (relay). Jenis transistor yang dipilih sama dengan pada penghubung nada, dengan beban relay SPST 5 volt dan $R = 75 \Omega$, maka arus kolektor akan sebesar sekitar 67 mA, I_b akan sekitar 1,67 mA, sehingga diperlukan pemasangan R_b sebesar 2,2 k Ω .

Pada saat sinyal pemanggil trunk aktif, transistor akan "switch on" dan relay akan menghubungkan sisi R dari loop ke ground sehingga dianggap off-hook oleh sentral.



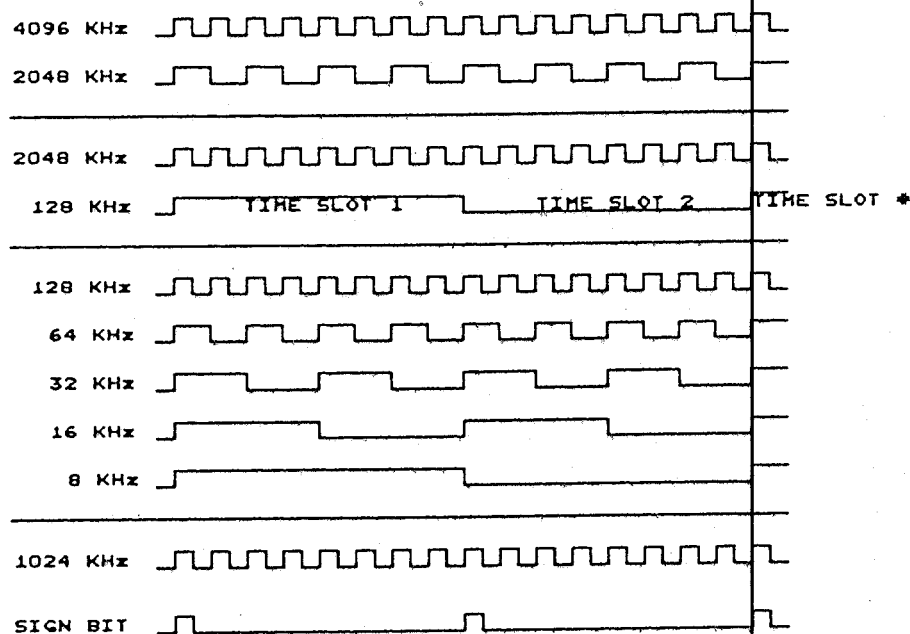
GAMBAR 4.12

RANGKAIAN PEMANGGIL TRUNK



IV.1 PERENCANAAN TIMING DAN PEMBANGKIT PULSA

Untuk tujuan pewaktuan dari mikroprosesor, enkoder dekoder, sistem switching dan sinkronisasi seluruh perangkat diperlukan unit Timing dan pembangkit pulsa. Terdiri atas oscilator utama 4096 KHz yang dibagi-bagi menggunakan gerbang logika, flip-flop dan counter untuk memperoleh frekuensi 2048 KHz, 1024 KHz, 512 KHz, 256, 128 sampai 8 KHz, serta pulsa-pulsa start dan stop dari perangkat yang sesuai



GAMBAR 4.13

DIAGRAM WAKTU DARI SISTEM CLOCK

IV. 3.1 CLOCK UTAMA

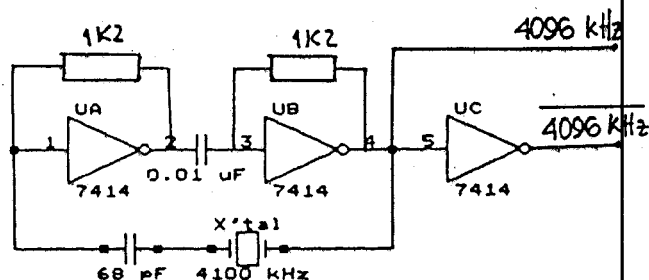
Frekuensi clock yang dibangkitkan dikontrol oleh kristal sebesar 4,096 MHz. Rangkaian astable menggunakan IC smith Inverter 74LS14 yang berfungsi sebagai rangkaian feedback negatif dan berosilasi pada jangkah yang ditentukan oleh kristal dan kapasitansi dari capasitor. Untuk meningkatkan kemampuan memberikan arus pada beban ditambahkan gerbang NOT luar yang difungsikan sebagai inverter buffer.

Syarat Supaya clock stabil harga konstanta waktu dari rangkaian RC \gg perioda clock (T) pada frekuensi kristal yang ditentukan. Pada $f_0 = 4.096$ MHz, harga RC harus lebih besar dari $RC = 0.7/f_0$ atau $RC \gg 170$ ns. Dengan mengambil harga $R = 1200 \Omega$,

$$RC \geq 170 \cdot 10^{-9} \text{ detik}$$

$$C \geq \frac{170 \cdot 10^{-9}}{1,2 \cdot 10^3} \quad \text{atau} \quad C \geq 141,5 \text{ pF}$$

dengan mengambil $C = 0.01 \mu\text{F}$ diperoleh $RC = 120 \mu\text{s}$.



GAMBAR 4.11

RANGKAIAN CLOCK UTAMA 4.096 MHz

IV.3.2 PEMBAGI CLOCK

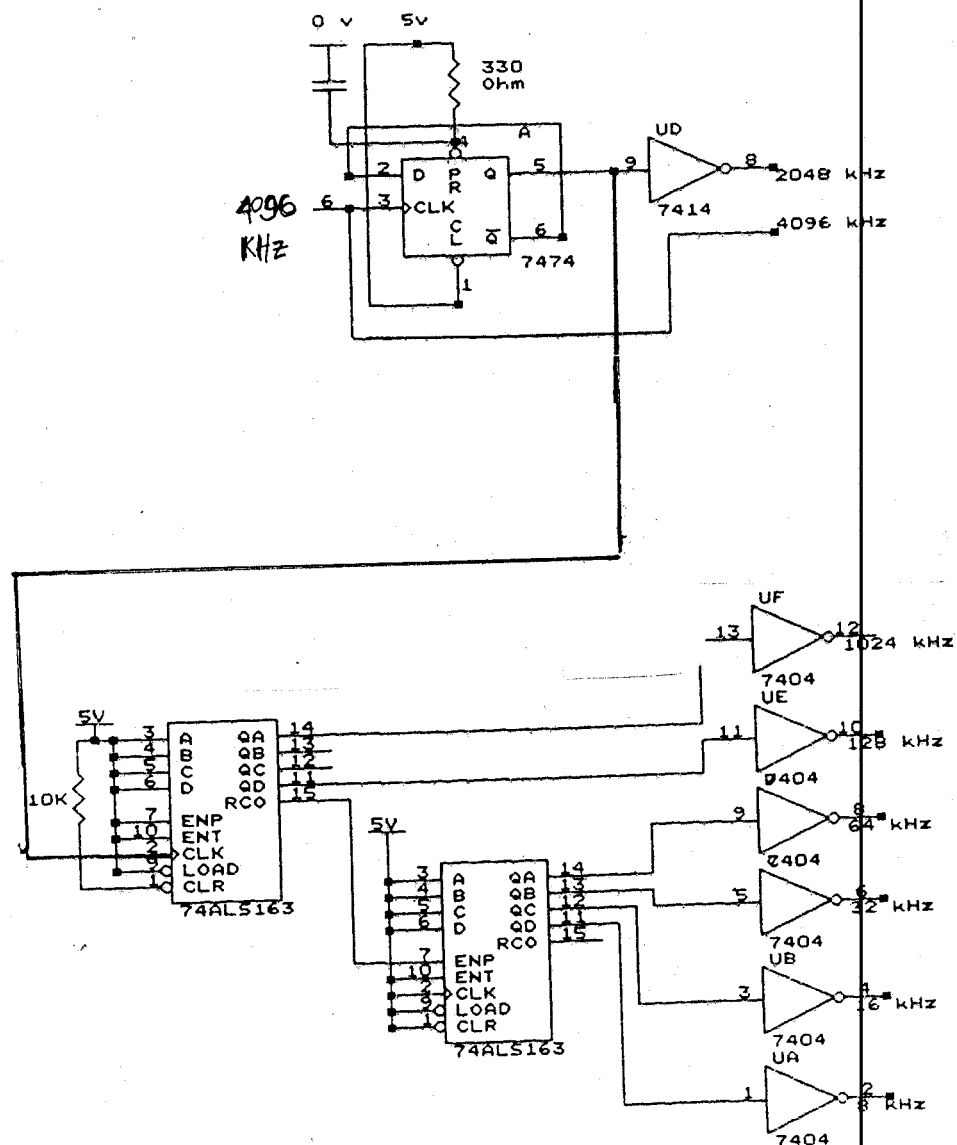
Tujuan timing ini adalah memperoleh clock sampai $1/64$ dari 4096 KHz. Dengan rangkaian D flip-flop yang difungsikan sebagai toggle, input clock 4096 akan dibagi 2 menjadi 2048 KHz.

Synchronous 4-bit counter (IC 74LS163) digunakan sebagai pencacah pembagi banyak yang bekerja sesuai clock input. IC 74LS163/1 digunakan untuk pengaktifan pulsa-pulsa yang diperlukan untuk proses encoding. Dengan input clear, enable, load dan data ditahan pada tegangan 5 volt (high) output counter akan mengikuti frekuensi clock 2048 KHz dengan output QA = 1024 KHz, QB = 512 KHz, QC = 256 KHz dan QD pada 128 KHz.

Sedangkan IC 74LS163 kedua yang diaktifkan oleh carry dari 74LS163/1 digunakan untuk pemilihan kanal multiplex analog dan timing switching. Outputnya berupa frekuensi clock 64 KHz, 32 KHz, 16 KHz dan 8 KHz. Carry IC2 digunakan untuk memberi tanda munculnya time slot 0 pada encoder (setiap 125 μ S).

TABEL 4.6
TABEL KEBENARAN IC 74LS163

Pulsa Input	Output			
	D (2^3)	C (2^2)	B (2^1)	A (2^0)
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
10	1	0	1	0
11	1	0	1	1
12	1	1	0	0
13	1	1	0	1
14	1	1	1	0
15	1	1	1	1
16	0	0	0	0



GAMBAR 4.15

RANGKAIAN PEMBAGI CLOCK 32 LANGKAH

IV.4 PCM CODEC

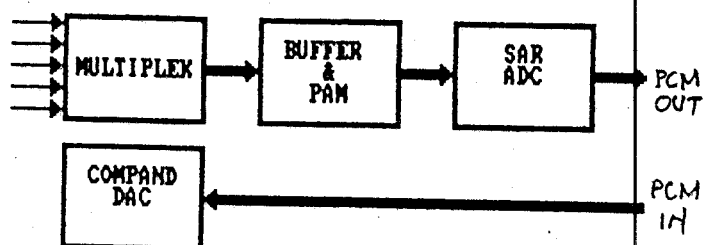
Terdiri atas dua bagian yaitu pengkode (Enkoder) dan pendekode (dekoder).

IV.1 ENCODER

Unit ini merupakan unit digitalisasi sinyal suara analog dari line interface ke bentuk digital. Terdiri atas 3 bagian :

- multipleks analog (sebagai unit pensampling),
- buffer dan pembangkit PAM, mengatur level sinyal dan tanda (sign) agar sesuai dengan karakteristik PCM Encoder,
- konverter analog ke digital (ADC) yang menggunakan Companding SAR ADC dan pengubah paralel ke serial.

Diagram blok dari unit ini ditunjukkan pada gambar 4.16.



GAMBAR 4.16
DIAGRAM BLOK CODEC

IV.4.1.1 MULTIPLEKS ANALOG 32 KANAL

Untuk tujuan ini digunakan IC CMOS 4067 dengan berfungsi sebagai 'electronic trees' yang terdiri atas enam belas saklar masukan ($X_0 \dots X_{15}$) dan sisi yang lain dikoneksikan ke jalan masuk dan jalan keluar bersama (common) X. Sinyal enable untuk masing-masing multiplek analog diperoleh unit timing (8 KHz) dan dari CPU. Tanpa sinyal enable dari CPU, clock input tidak mempengaruhi pemilihan kanal.

Berdasarkan gambar timing (4.12), clock 8, 16, 32, 64 dan 128 KHz akan memberikan 32 kombinasi kanal setiap frame (125 μ detik). Untuk memperoleh sampling ke 32 kanal clock diatas diumpankan pada input select ($A_3 - A_0$) dan input 8 KHz pada enable. Sehingga pada keadaan output clock 00000 sampai 01111 diaktifkan switch $S_1 - S_{16}$ dan pada clock 10000 sampai 11111 mengaktifkan $S_{17} - S_{32}$.

Setiap jalan masuk ke multipleks $X_0 - X_{15}$ diberi rangkaian yang terdiri atas kapasitor blocking 4,7 μ F dan resistor 3,3 k Ω , hal ini bertujuan untuk menahan sinyal DC masuk dan menghilangkan offset pada saat tidak ada sinyal input.

IV.4.1.2 BUFFER DAN PEMBANGKIT PAM

Buffer menerima input Unbalance dari Multiplek, memperkuat dan mengeluarkan output berupa sinyal PAM.

TABEL 4.7

TABEL KEBENARAN IC MULTIPLEKS 4067

Logika Pemilih				Enable (E)	On - Switch (Impedansi Rendah)
D	C	B	A		
X	X	X	X	1	Impedansi tinggi/off
0	0	0	0	0	X0
0	0	0	1	0	X1
0	0	1	0	0	X2
0	0	1	1	0	X3
0	1	0	0	0	X4
0	1	0	1	0	X5
0	1	1	0	0	X6
0	1	1	1	0	X7
1	0	0	0	0	X8
1	0	0	1	0	X9
1	0	1	0	0	X10
1	0	1	1	0	X11
1	1	0	0	0	X12
1	1	0	1	0	X13
1	1	1	0	0	X14
1	1	1	1	0	X15

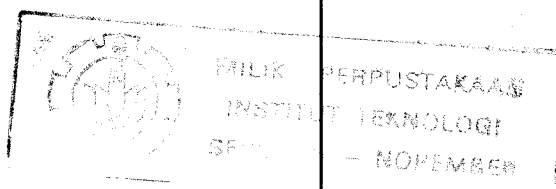
dimana, X = sebarang

Xn = input atau output kanal ke n

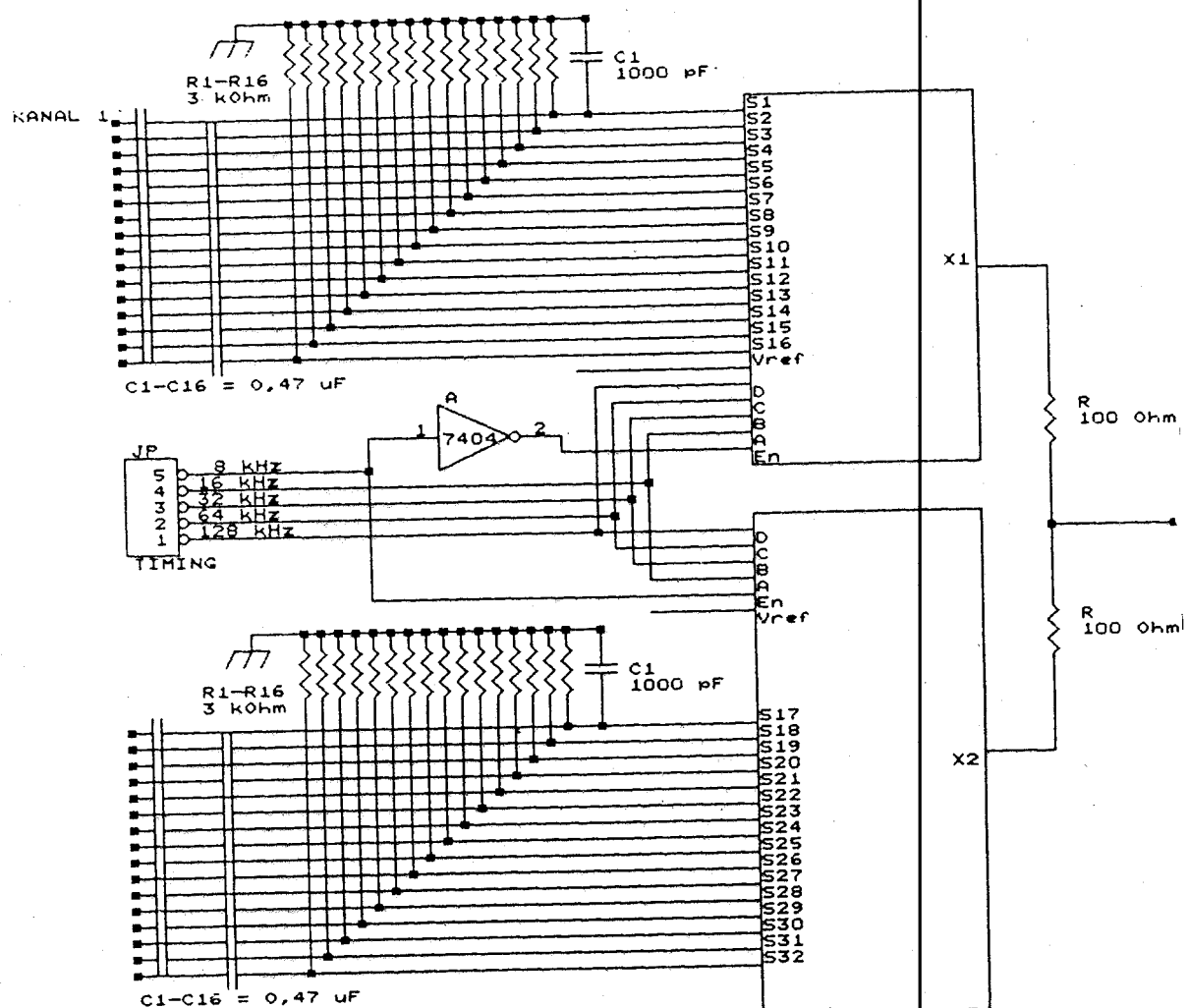
o Pembangkit PAM akan menghilangkan offset akibat Positif dan Negatif dari sample mempengaruhi potensial kedua konduktor PAM, dan mengolah sebagai informasi 'tanda' (tanda + dan - untuk unit pengkode).

A. Buffer Amplifier LM355

Sinyal input yang juga mengandung cakap silang antar kanal dari Analog multiplek harus disesuaikan dengan level dan impedansi tahap berikutnya, karena itu dilewatkan op-amp LF355 yang dioperasikan sebagai penyangga



(buffer) dengan konfigurasi umpan balik menjungkirkan (inverting feedback).



GAMBAR 4.17

RANGKAIAN MULTIPLEKS 32 KANAL

Pemilihan op-amp buffer LF355 berdasarkan pertimbangan sebagai berikut :

- Arus catu yang rendah,
- Didesain khusus untuk 'fast D/A atau A/D converter' dan rangkaian 'Sample-Hold',
- Impedansi input tinggi ($\gg 10^{12} \Omega$),
- CMMR tinggi (diatas 100 dB),
- Penguatan dc sampai 106 dB,
- Slew rate $5V/\mu S$ (IC LM741 hanya $0.5 V/\mu S$),
- Bandwidth lebar.

Op-Amp difungsikan sebagai inverting feedback amplifier. Gain dari op-amp diset oleh feedback resistor R_f dan impedansi inverting resistor R dengan anggapan impedansi input op-amp ∞ dan impedansi output 0.

$$A_{vf} = \frac{R + R_f}{R} \dots\dots\dots (4.8)$$

Jika diinginkan buffer mempunyai penguatan 3 dB diatas level awal, maka dengan memilih $R = 6.2 k\Omega$ dan $R_f = 3.3 k\Omega$ diperoleh,

$$\begin{aligned} A_{vf} &= 1 + 3.3/6.2 = 1.5322 \\ &= 3.7 \text{ dB} \end{aligned}$$

resistor $1 k\Omega$ yang menghubungkan input inverting dan non-inverting digunakan agar kondisi input selalu diatas level

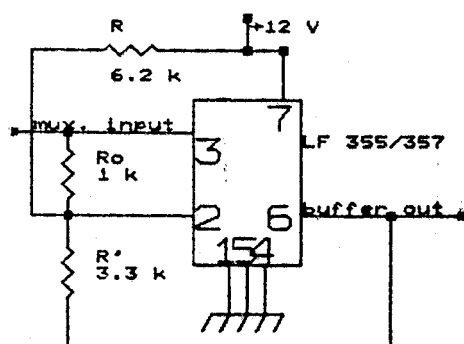
no1 (pull up), selain itu merupakan resistor pengatur offset. Zener dipasang pada output untuk menahan agar tegangan tidak melebihi 5 volt pada tiap sisi, hal ini dilakukan karena pada pembangkit PAM dibandingkan dengan perubahan sinyal sign yang maksimum 5 Volt.

B. PEMBANGKIT PAM

Dasar operasi regulator ini adalah membandingkan sinyal input hasil sampling (sinyal pulsa) dengan sinyal 'polaritas' yang diperoleh dari komparator unit ADC. Untuk tujuan itu digunakan rangkaian differensial amplifier, dimana PAM output tergantung harga sinyal input V1 dan V2 dengan persamaan umum :

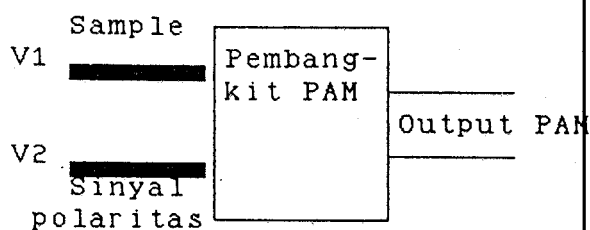
$$V_o = A_d (V_1 - V_2) \dots\dots\dots (4.9)$$

dimana A_d adalah penguatan dari amplifier yang digunakan.



GAMBAR 4.18

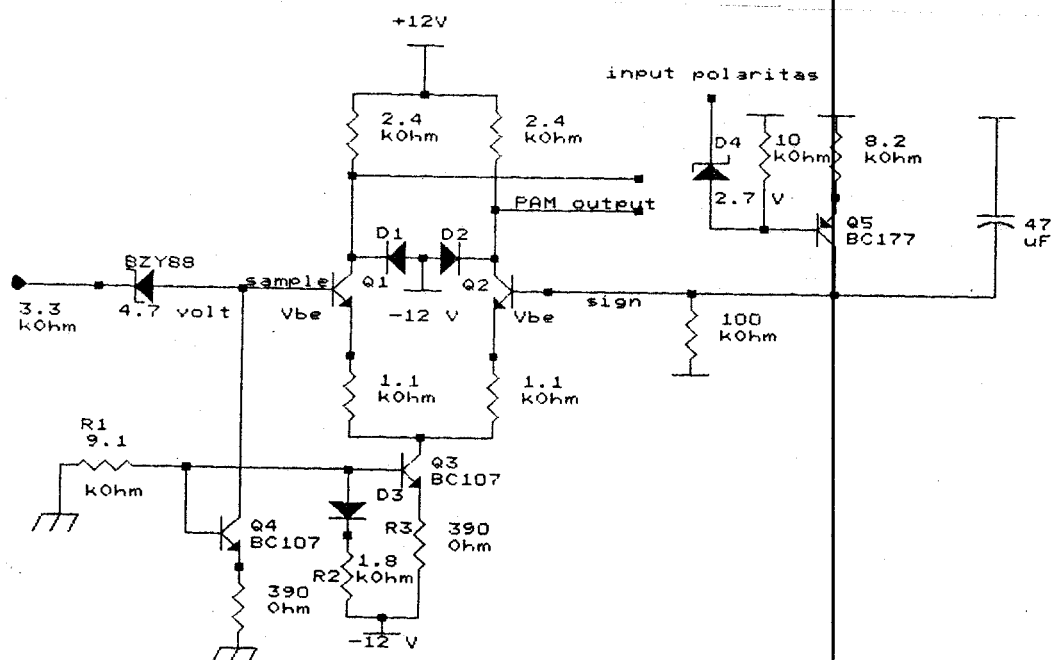
RANGKAIAN BUFFER LM357



GAMBAR 4.19

PROSES PEMBANGKITAN PAM

Pada gambar 4.20 terlihat rangkaian differensial amplifier, dua input dihubungkan pada basis transistor Q1 dan Q2 dan output PAM diambilkan dari kolektor kedua transistor.



GAMBAR 4.20

RANGKAIAN PEMBANGKIT PAM

Syarat agar rangkaian differensial dapat bekerja sempurna adalah harus diusahakan transistor Q_1 dan Q_2 mempunyai karakteristik dan parameter yang sama, karena itu dipilih transistor dari IC dual transistor LM114 tetapi jika tidak diperoleh dapat diganti dua transistor yang mempunyai tipe sama dan parameter sama (H_{fe} , V_{be} dan I_{cbo}).

Menurut teori rangkaian differensial membutuhkan R_e yang tinggi sebagai pengatur arus. Tetapi secara praktis selalu diganti sebuah sumber arus konstant. Pada pembangkit PAM ini sebagai sumber arus konstant dipilih transistor BC107. Sesuai dengan gambar 4.21 harga arus dapat diatur dengan memilih harga R_1 , R_2 dan R_3 sesuai rumus berikut :

$$I_3 R_3 + V_{be3} = V_D + (V_{EE} - V_D) \frac{R_2}{R_1 + R_2} \dots\dots (4.10)$$

pada arus relatif basis kecil, $I_o \div I_3$,

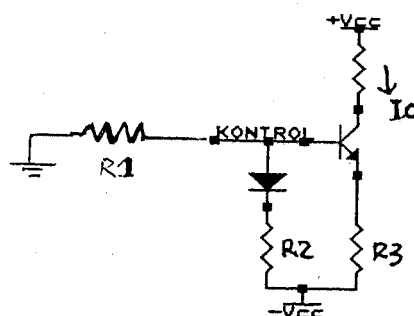
$$I_3 = \frac{1}{R_3} \left[\frac{V_{EE} \cdot R_2}{R_1 + R_2} + \frac{V_D \cdot R_1}{R_1 + R_2} - V_{be3} \right] \dots\dots\dots (4.11)$$

dengan menggantikan

$$\frac{V_D \cdot R_1}{R_1 \cdot R_2} = V_{be3}$$

maka,

$$I_o = \frac{V_{EE} \cdot R_2}{R_3 (R_1 + R_2)} \dots\dots\dots (4.12)$$



GAMBAR 4.21

RANGKAIAN SUMBER ARUS KONSTAN

Secara teori R_3 harus dibawah 1 k Ω , ⁶¹⁾ maka diambil harga resistor sebagai berikut : $R_1 = 9.1 \text{ k}\Omega$

$$R_2 = 1.8 \text{ k}\Omega$$

$$R_3 = 390 \Omega$$

Dengan $V_{EE} = 12 \text{ volt}$ diperoleh arus konstant sebesar :

$$\begin{aligned} I_o &= \frac{12.1800}{390.(9100+1800)} \text{ Ampere} \\ &= 0.00508 \text{ Ampere} \\ &= 5 \text{ mA.} \end{aligned}$$

Arus sebesar itu sudah cukup untuk mencatu komparator.

Dioda IN4148 menentukan titik tengah dari tegangan acu pada basis transistor IC114 kaki no.2.

Regulator yang dibentuk oleh transistor PNP BC177

⁶¹⁾ Millman-Halkias, Integrated Electronics, McGraw-Hill Inc., Tokyo, 1983, p.508

dihubungkan ke input kedua dari pin 6 IC LM114. BC177 dikontrol oleh perubahan level logika 'sign bit' melalui zener 2.7 V dan on/off jika 'sign bit' berubah 1/0.

Tegangan pada kapasitor 47 uF atau pada basis (pin 6 IC114) diasumsikan sebagai sebuah harga yang tergantung pada panjang rata-rata dari sign bit (ratio dari saat 0 dan ratio saat 1).

Jika terjadi pergeseran ratio lebih dari satu, berarti terjadi offset antar 2 konduktor, tegangan kapasitor akan berubah arah untuk menghilangkan offset yang terjadi.

IV.4.3 KONVERSI ANALOG KE DIGITAL (SAR ADC)

Berfungsi sebagai pengkode PCM 8 bit dari bentuk PAM yang diperoleh setelah disampling dan berubah dalam bentuk kode digital serial 2048 kHz. Diagram SAR ADC ditunjukkan pada gambar 4.22. Komponen yang dipilih adalah sebagai berikut :

A. Register Pendekatan Beruntun (SAR) DM2502

Sebagai pembangkit bit-bit duga yang akan diubah ke analog oleh DAC dan dibandingkan dengan PAM output di komparator.

SAR reset oleh transisi 0 ke 1 pada input clock saat pulsa start pada logika 0. Setiap transisi clock 0 ke 1 sehabis pulsa start dilakukan pergeseran 0 dari

TABEL 4.7
KEBENARAN OPERASI S A R

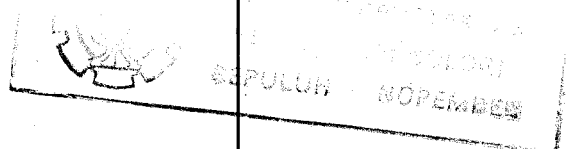
TIME	INPUT			OUTPUT									
tn	D	S	E ²	Do	Q7	Q6	Q5	Q4	Q3	Q2	Q1	Qo	Qcc
0	x	L	L	x	x	x	x	x	x	x	x	x	x
1	D7	H	L	x	L	H	H	H	H	H	H	H	H
2	D6	H	L	D7	D7	L	H	H	H	H	H	H	H
3	D5	H	L	D6	D7	D6	L	H	H	H	H	H	H
4	D4	H	L	D5	D7	D6	D5	L	H	H	H	H	H
5	D3	H	L	D4	D7	D6	D5	D4	L	H	H	H	H
6	D2	H	L	D3	D7	D6	D5	D4	D3	L	H	H	H
7	D1	H	L	D2	D7	D6	D5	D4	D3	D2	L	H	H
8	D0	H	L	D1	D7	D6	D5	D4	D3	D2	D1	L	H
9	x	H	L	D0	D7	D6	D5	D4	D3	D2	D1	D0	L
10	x	x	L	x	D7	D6	D5	D4	D3	D2	D1	D0	L
	x	x	H	x	H	NC	NC	NC	NC	NC	NC	NC	NC

posisi 'X' ke posisi 'X-1'. Informasi data input dari hasil perbandingan komparator akan dikunci pada output 'X'. Sebagai akibat keadaan akan bergeser dari D1,0,11111 ke D1,D2,0,1111 dan seterusnya.

B. KOMPANDING DAC (DAC 87)

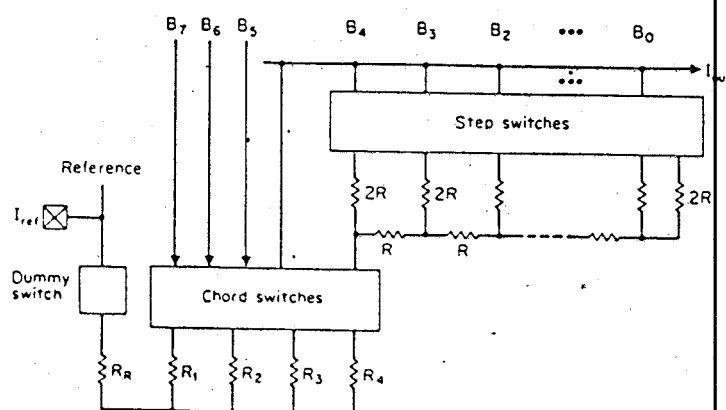
Pada perencanaan ini dipilih DAC 87 dengan pertimbangan sebagai berikut :

- mempunyai sifat Companding A,
- sesuai dengan rec. CCITT,
- 'polaritas' + jangkah 8 bit dan kode 'sign' + 7 bit kode,
- Resolusi dan akurasi 11 bit disekitar nol.



- Range dinamis diatas 66 dB.
- Kecepatan yang didesain khusus untuk PCM A-law.

Diagram operasi dari DAC 87 ditunjukkan pada gambar 4.22. Bit-bit output SAR diterima DAC sebagai unit-unit arus yang menentukan level tegangan output. IC Companding DAC bekerja jika mendapat sinyal pulsa sign bit pada unit enable-disablenya. Input arus dari SAR akan dikeluarkan sebagai output IOE (-) dan IOE (+) setelah dikonversikan terhadap tegangan reverensi 10 V (VR +) dan 0 V (VR -). pada sistem komparing disesuaikan rekomendasi CCITT



GAMBAR 4.22

OPERASI COMPANDING DAC 87

C. KOMPARATOR & GERBANG PENGINDERA

Sebagai penentu harga kode dari sample dipilih IC LM 311, pemilihan ini berdasarkan :

- dapat dioperasikan pada catu tungan 5 volt,
- respon time cepat (± 200 ns)
- output berupa sinyal yang sesuai dengan level TTL.

Gerbang pengindera merupakan pendeteksi berubahnya tanda (sign) pada MSB dibandingkan output comparator. Operasi gerbang pengindera memanfaatkan operasi gerbang eksklusive OR (XOR). Output XOR akan high jika kondisi level output komparator dan MSB output SAR tidak sama berdasar rumus : $(Y = A + B = AB + \bar{A}\bar{B})$ sesuai tabel 4.9.

D. Konversi Paralel Serial

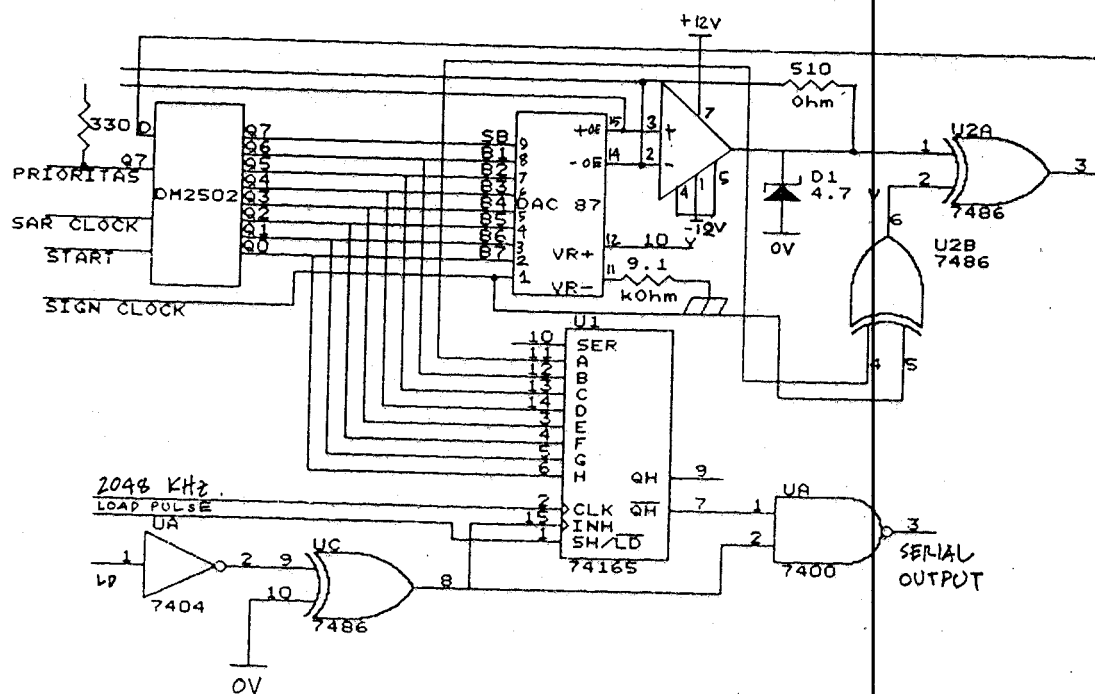
Untuk keperluan pemindahan data digunakan Paralel Input Shift Register yang mengirim dengan kecepatan bit 2048 Kbit/detik berdasar clock 2048 KHz dan dimulai saat menerima pulsa load. Output per time slot diatur menggunakan pewaktu penanda 64 KHz dan penanda munculnya time slot 0 dan 16 melalui XOR dan digabung oleh NAND sebagai DATA Serial OUT.

IV. 2 DEKODER

Mengubah kembali sinyal digital ke analog (DAC). Perangkat keras yang digunakan adalah DAC yang mempunyai sifat sesuai dengan karakteristik pengkode Companding DAC.

TABEL 4.8
OPERASI GERBANG XOR SEBAGAI PENGINDERA

MSB SAR	Komparator	Output
0	0	L
0	1	H
1	0	H
1	1	L



GAMBAR 4.23
RANGKAIAN SAR ADC

Dalam PABX ini dekoder tidak mutlak perlu karena sifatnya yang direncanakan untuk telepon digital dan tidak semua ekstention memerlukan data dengan bentuk suara analog. Karena itu hanya pada ekstention tertentu dilengkapi dengan rangkaian DAC yang bersifat ekspanding.

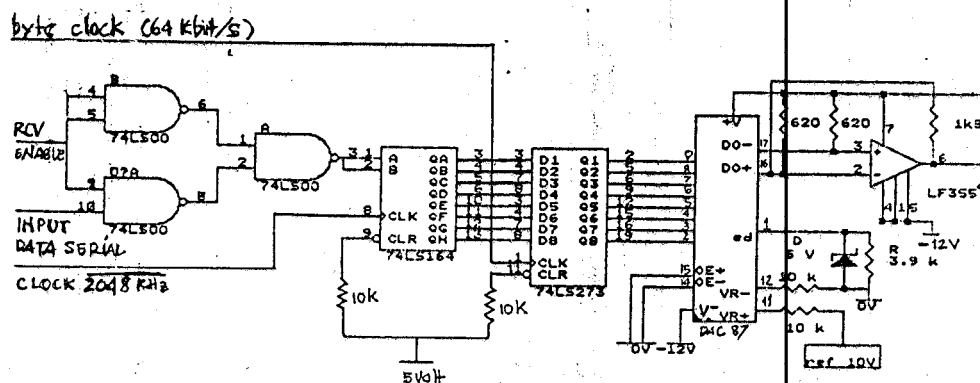
Dekoder menerima data 2048 Kb/s dari unit Switching dengan susunan time slot tujuan yang sudah ditentukan pada setiap periode kemunculan setiap 125 μ s. Time slot 0 dan 16 harus tetap pada tempat awalnya.

Data yang diterima dari switching dalam bentuk serial diumpankan ke input 74LS164 melalui gerbang NAND yang menggabungkan data dengan sinyal yang menyatakan bahwa sudah boleh menerima data (enable supervisory). 74LS164 mendapat clock dari 2048 KHz.

Agar dapat dikonversikan dalam setiap 8 bit (1 time slot) harus mendapat timing untuk membaca timing unit, yang berarti bit ke 8 sebelumnya telah berada di QA. Input B1 - B7 dari DAC 087 diset pada fungsi dekoding berlevel 0) dan pengambilan output dari pin D(-) dan D(+) sesuai sample sign secara balance dan output akan steady sampai data berikut diterima.

Tegangan referensi diambilkan 10 V dan mencatu DAC melalui resistor yang menentukan juga penguatan dari dekoder sedangkan referensi VR (-) dari pin 12 DAC disambungkan ke 0 volt melalui resistor 10 K Ω .

Arus pada output yang aktif ditahan oleh resistor yang dihubungkan ke catu 12 V sesuai tanda. Potensial relatif yang diperoleh (resultan) akan merubah output buffer Op-amp LF355 BN dalam bentuk PAM dari kanal yang berupa sinyal yang berubah positif dan negatif terhadap sample nol sesuai pengaturan 'zero'. Filter pada line interface akan membuat sinyal PAM menjadi sinyal analog kontinyu kembali.



GAMBAR 4.24

RANGKAIAN DECODER

IV.5. TIME DIVISION SWITCH

Switsh menggunakan cara TST dengan teknologi multiplek.

IV.5.1 KONSEP PERENCANAAN

Dari 32 kanal telepon yang akan diswitch harus dilakukan pembagian secara waktu (TDM) sehingga menjadi 32 slot yang terpisah. Setiap slot data yang terbentuk harus dikirim melalui matrik switch yang dibentuk dari line dekoder (gambar 4.25).

Dari teori untuk N demultipleks (slot input) dan M kemungkinan output memerlukan bit kontrol sebanyak :

$$\text{bit} = N \cdot \log_2 M$$

Sehingga, apabila sistem dirancang non-blocking ($N=M$), untuk 32 kanal incoming dan 32 kanal outgoing dibutuhkan bit kontrol sebanyak : $N = 32$

$$M = 32$$

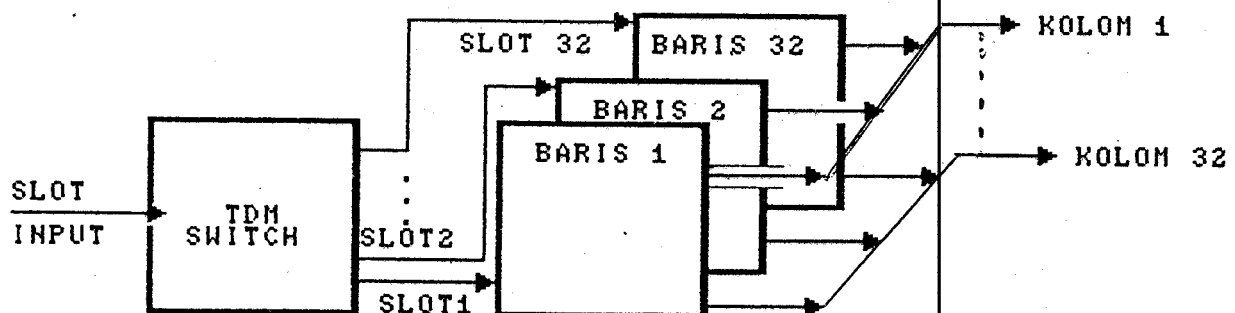
$$\begin{aligned} \text{jumlah bit kontrol} &= 32 \cdot \log_2(32) \\ &= 160 \text{ bit.} \end{aligned}$$

Berdasarkan pertimbangan tersebut, selain dilakukan perencanaan konfigurasi TDSW dari line dekoder, juga harus dilakukan manipulasi agar jumlah bit kontrol dapat dikurangi sekecil mungkin. Salah satu pemikiran yang bisa diterapkan adalah menggunakan penahan data (latch)

sehingga secara bergantian tiap line dekoder dialamati dan dikontrol.

IV.5.2 DIGITAL TIME SWITCH

Untuk memisahkan informasi dari susunan frame 32 kanal serial dilakukan pembagian waktu. Diperlukan 2 buah demultipleks data 74LS154. Tiap demultipleks ini mengupas sandi empat input menjadi salah satu dari 16 keluaran, pada saat kedua input strobe G1 dan G2 low. Fungsi demultipleks data dilakukan dengan menggunakan empat masukan select untuk memilih saluran output, data dilewatkan pada salah satu input strobe dengan strobe lain pada kondisi low. Pengaktipan enable pada IC 74LS154 harus disamakan dengan saat mulai dikirimkan data Time Slot 1 dari encoder.



GAMBAR 4.25

KONSEP PERENCANAAN TIME DEVISION SWITCH

Jika sinyal load pada paralel serial konversi pada 74LS165 aktif untuk mengirim time slot pertama maka pada saat yang sama dikirim enable pada salah satu demultipleks (misal, 74LS154/1) dan kondisi pemilih harus low dengan counter mulai 0000 sampai 1111.

Setelah mencapai hitungan ke 16 IC 74LS154/1 akan disable dan IC 74LS154/2 enable dengan counter yang sama (0000 sampai 1111). Operasi dari IC 74LS154 ini dapat dilihat pada tabel 4.9.

TABEL 4.9
TABEL KEBENARAN OPERASI IC 74LS154

Input					Output																			
G1	G2	D	C	B	A	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15			
L	L	L	L	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	H	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	H	L	L	L	H	H	H	H	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H	H	H	L	H	H	H	H	H	H	H	H	H	H			
L	L	L	L	L	L	L	L	H</																

Keterangan : H = high level (1)
L = low level (0)
X = Irrelevant

Dengan memperhatikan tabel kebenaran operasi dari 74LS154 pada baris data ke 17, perubahan G2 dari low ke high membuat output Q15 high (H). Keadaan tersebut dimanfaatkan sebagai data demultipleksing, yaitu membagi data dari PCM per time-slot (setiap 8 bit) pada saluran yang sesuai. Data dimasukkan melalui active-low enable input yang lintasannya ditentukan oleh alamat dibawah pengendalian address-input seperti yang dijelaskan diatas.

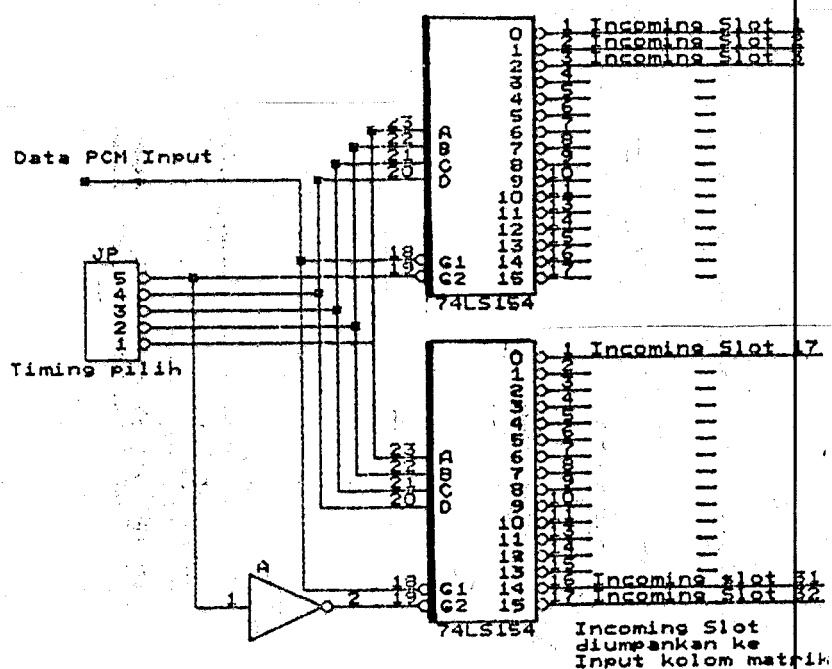
Jika konfigurasi address select mempunyai output nol, maka output menjadi low jika enable AND pada 74LS154 aktif dan menjadi high jika tidak aktif. Sehingga, jika data disisipkan ke input dari salah satu gerbang yang aktif low, akan diswitch ke output dalam pengontrolan adanya strobe pada kaki AND yang lain. Maka dekoder 74LS154 dapat difungsikan sebagai demultipleksing data menurut pembagian waktu dan output yang tidak dipilih akan dalam keadaan high. Dalam perencanaan ini pembagian time slot dilakukan oleh timing unit (seperti pada multiplek analog) dan slot output akan memasuki kanal outgoing pada space switch.

IV.5.3 MATRIX (SPACE) SWITCHING

Sebagai matrix switch dilakukan dengan "distribusi data paralel" dengan input penggalan-penggalan frame (time slot) dan output dikirim ke alamat yang sesuai berdasarkan bit kontrol. Sesuai teori perangkat keras yang digunakan

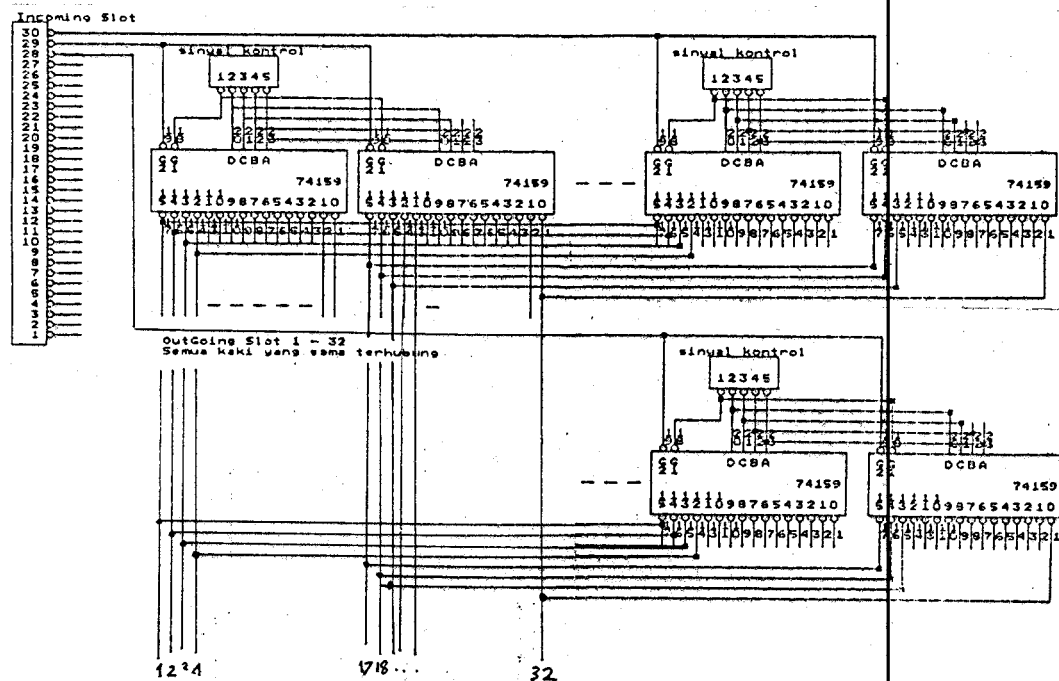
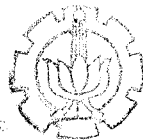
sama dengan pada time switch tetapi dengan konfigurasi yang open kolektor (tri state).

Dipilih IC 74159 dengan pin-pin dan fungsi yang tepat sama dengan IC 74154 yang digunakan pada time switch. Tiap kanal incoming slot dihubungkan dengan G1 dari IC 74LS159. Untuk 32 slot input dibutuhkan 64 buah IC yang masing-masing slot membutuhkan kontrol 5 bit kode. Outgoing slot dihubungkan paralel dengan kaki yang sama. G2 dan data select ABCD akan menentukan output yang aktif (00 - 015) dari tiap line dekoder, sehingga pada suatu saat hanya satu kanal yang bisa menerima data dari G1 dan kanal lain akan high resistance.



GAMBAR 4.26

IC 74LS154 SEBAGAI TIME SWITCH



GAMBAR 4.27

RANGKAIAN MATRIK SWITCH

IV.5.4 PENGONTROL PEMILIH OUTGOING SLOT

Sebagai unit kontrol secara teori membutuhkan bit kontrol sebanyak 160 bit (32x5bit). Karena kemampuan penyediaan port yang terbatas maka dilakukan usaha pengurangan bit kontrol dengan cara menggunakan 'pengontrol yang mempunyai ingatan'. Proses operasi adalah sebagai berikut :

- o Dari rumus awal, $\text{bit} = N \log_2 M$ disederhanakan sehingga bisa menjadi :

$$M_1 + M_2 + M_3 + M_4 + \dots + M_n + \dots + M_N$$

dimana : M_n adalah alamat outgoing demux ke n
 n banyak demux yang diaktifkan

- o Karena keterbatasan jumlah bit kontrol maka dilakukan langkah :

- pengaktifan demux menggunakan dekoder, sehingga untuk mengaktifkan 32 demux hanya membutuhkan 5 bit kontrol, pengontrolan dilakukan secara berurutan.

- Setiap demux diberi peangkat keras yang bisa menahan data (latch).

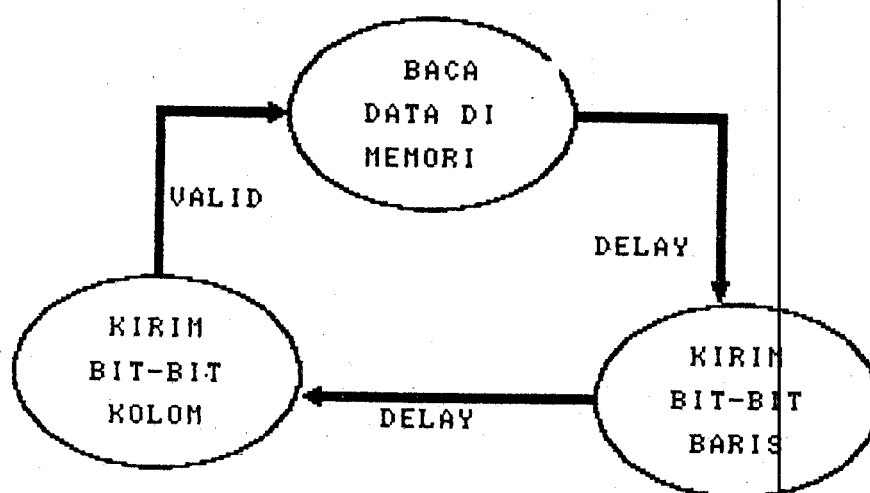
- o Dengan dua tahap diatas CPU tinggal mengirim data pengaktif (enable) kemudian mengirim data ke latch yang bersangkutan sampai dibebaskan pada saat berikutnya.

Otak dari unit ini adalah IC dekoder 74LS154 dan penahan data IC 74LS373.

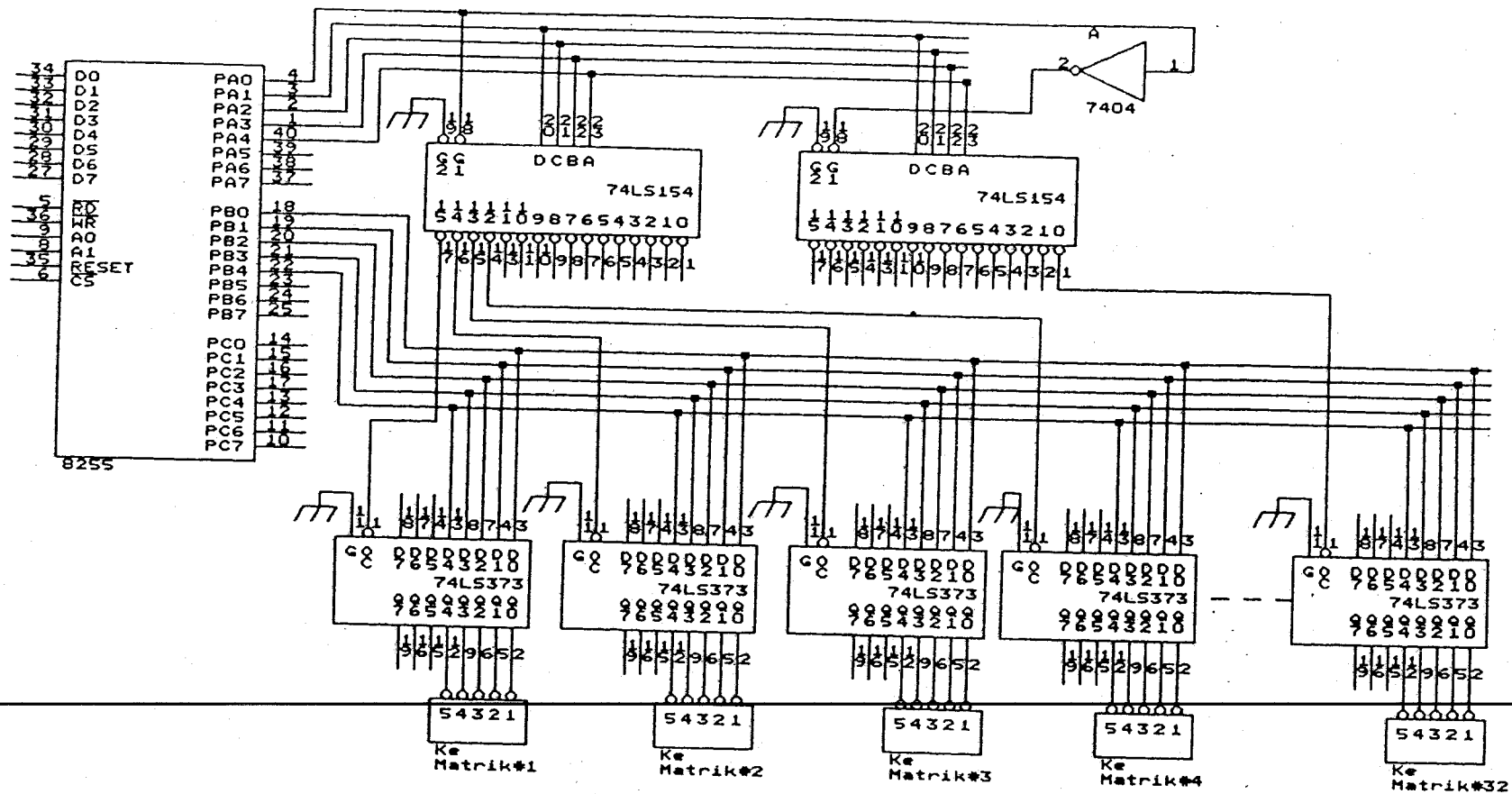
- o IC74LS154 akan mengaktifkan enable dari latch, yaitu dengan menghubungkan output data dengan enable (pin 11) setelah dari control kolom dikirim 5 bit kode.
- o IC 74LS373 Octal D-type Transparent Latches, mempunyai tabel kebenaran sebagai berikut :

TABEL 4.10
OPERASI LATCH 74LS373

OUTPUT CONTROL	ENABLE		OUTPUT
	G	D	
L	H	H	H
L	H	L	L
L	L	X	Q ₀
H	X	X	Z



GAMBAR 4.28
DIAGRAM KEADAAN PENGONTROL

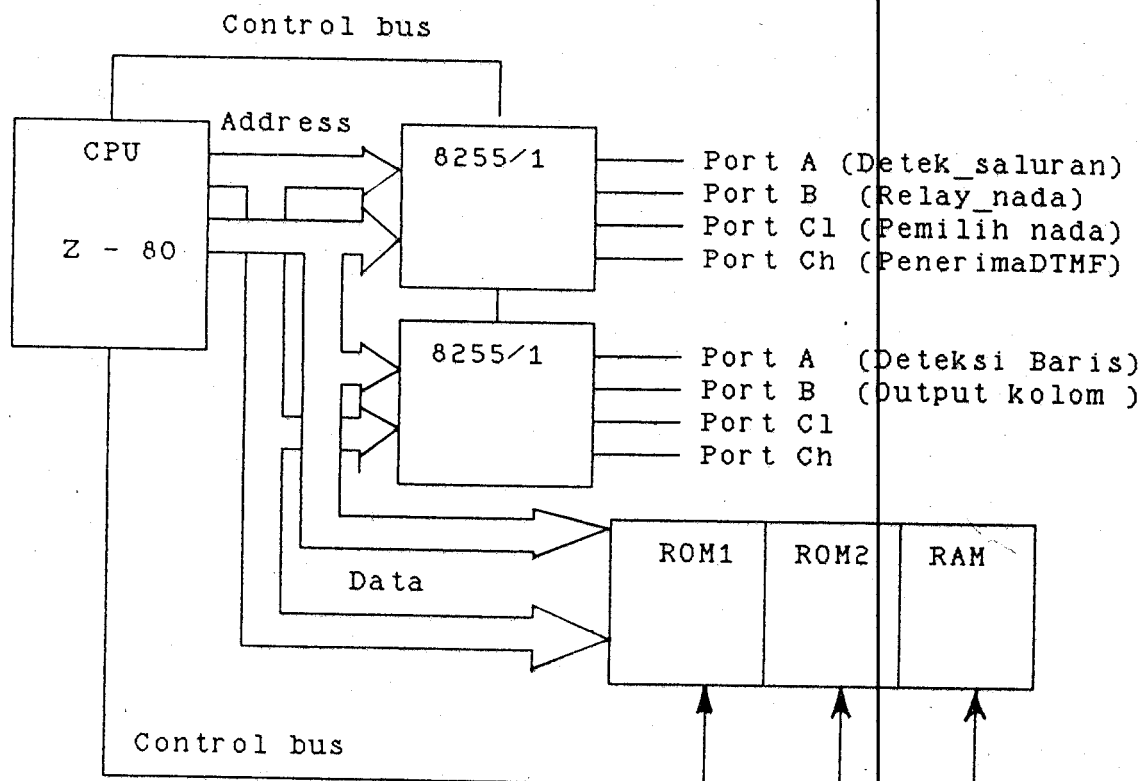


GAMBAR 3.36
RANGKAIAN PEMILIH ALAMAT (BIT KONTROL)

IV.6 RANGKAIAN PENGENDALI

IV.6.1 PENDAHULUAN

Diagram blok dari sistem pengendali PABX dapat dilihat pada gambar 4.30. Terdiri atas CPU Z-80 B, Peralatan input-output dalam pengendalian 8255 dan memori yang terdiri dari 6 kbyte ROM dan 2 kbyte RAM. Komponen-komponen lain tidak digambarkan karena fungsinya sebagai pelengkap.



GAMBAR 4.30

DIAGRAM BLOK SISTEM PENGENDALI

IV.6.2 PEMBERIAN ALAMAT UNTUK MEMORI DAN I/O

Agar data dapat dikirim dan diterima oleh mikro-processor dengan menghubungkan data bus, address bus dan control bus, diperlukan pemberian tanda dan alamat melalui address bus dan memberi tanda dari control bus. Supaya pada satu saat hanya satu komponen pendukung yang dituju oleh CPU, maka diberikan alamat seperti pada tabel 4.11.

IV.6.2.1 Pemberian Alamat untuk Memori

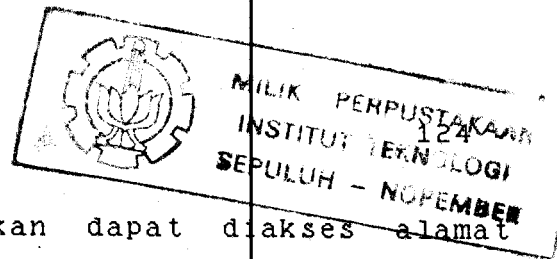
Pemilihan address tinggi dilakukan menggunakan dekoder 2 ke 4 (separo dari 74LS139). Dengan input strobe G1 'low' dan data ditahan pada 'high', apabila input select A dan B diberi input dalam kombinasi tertentu akan mengakses salah satu komponen pada alamat yang sesuai.

TABEL 4.11

PEMBERIAN ALAMAT PADA PENDUKUNG CPU Z-80

KOMPONEN		A15	A14	A13	A12	A11	A10	A9	A8	A7	A6	A5	A4	A3	A2	A1	A0	ALAMAT
EPROM 1 (2716)	2X	0	0	0	0	0	X	X	X	X	X	X	X	X	X	X	X	0000H - 07FFH
EPROM 2 (2732)	4X	0	0	0	1	X	X	X	X	X	X	X	X	X	X	X	X	1000H - 1FFFH
RAM (6116)	2X	0	0	1	0	0	X	X	X	X	X	X	X	X	X	X	X	2000H - 27FFH
PPI 1 (8255/1)		0	0	0	1	0	0	0	0	X	X	0040H - 0043H
PPI 2 (8255/2)		0	0	1	0	0	0	0	0	X	X	0080H - 0083H

KETERANGAN : X = DON'T CARE
 . = TIDAK DIHUBUNGKAN

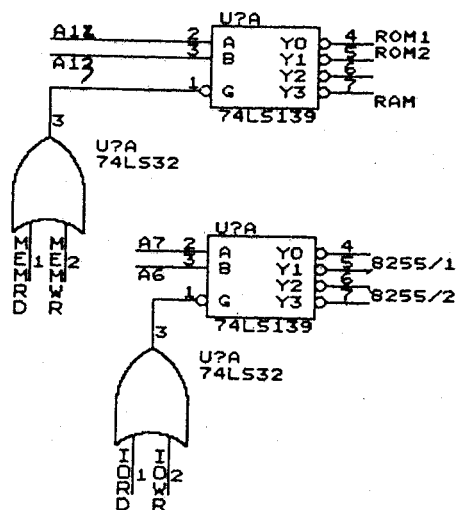


Jika $A = 1$ dan $B = 0$ akan dapat diakses alamat 1XXXH dari address bus CPU, keluaran dekoder '1y1' low. Kondisi low akan membuat enable bagi chip select (Cs) pada EPROM2. Pada saat tersebut tiga komponen lain akan 'disable' karena adanya level high dari dekoder. Dari tabel diatas EPROM 1 diletakkan pada address terendah yang berisi program operasi sistem (boot up) dan inisialisasi dari komponen. Jika seluruh peralatan yang dikontrol sudah diinisialisasi dan keadaan siap maka program dialihkan ke program switching yang berada dalam EPROM 2.

IV.6.2.2 Pengalamatan Chips 8255/1 dan 8255/2

Operasi dari 8255 berdasarkan pengaktifan Cs yang dilakukan oleh dekoder 74LS139 dan sinyal-sinyal kendali (BIOR dan BIOW). Sebagai unit input-output pengalamatan dilakukan melalui byte rendah dan diambilkan dari A7-A6 seperti pada tabel 4.11.

Pin 28-34 dihubungkan dengan data bus, Reset (pin 35) dihubungkan dengan reset Z-80 dengan menambahkan sebuah inverter. A0 dan A1 memnentukan Mode dari 8255, pada alat ini seluruh port ditentukan pada mode 0 yaitu dengan mengatur bit-bit register kendali D0-D7 seperti pada teori dalam bab 2.



GAMBAR 4.31

PENGALAMATAN MEMORI DAN 8255 MENGGUNAKAN DEKODER

Untuk PPI 8255/1 byte kendali ditentukan sebagai berikut :

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	1	0	0	0	1

Sedangkan byte kendali untuk PPI 8255/2 :

D7	D6	D5	D4	D3	D2	D1	D0
1	0	0	0	0	0	0	0

Pada 8255/2 Port C untuk fasilitas deteksi.

Fungsi 8255/1 dan 8255/2 menurut pembagian port adalah sebagai berikut :

- 8255/1 : Port A : Menerima data dari "interface off hook detektor" berupa data 5 bit dengan bentuk 00XXXXX yang menyatakan ekstention yang off-hook.

Port B : Merupakan output ke " interface penggerak relay" pemisah nada ke rangkaian bicara dan menghubungkannya ke rangkaian nada.

Port C^{lower} : Menerima input dari DTMF receiver berupa 4 bit data yang merupakan nomor ekstention yang dipanggil.

Port C^{upper} : mengeluarkan output 4 bit data yang berfungsi sebagai pemilih nada dari 16 kemungkinan nada.

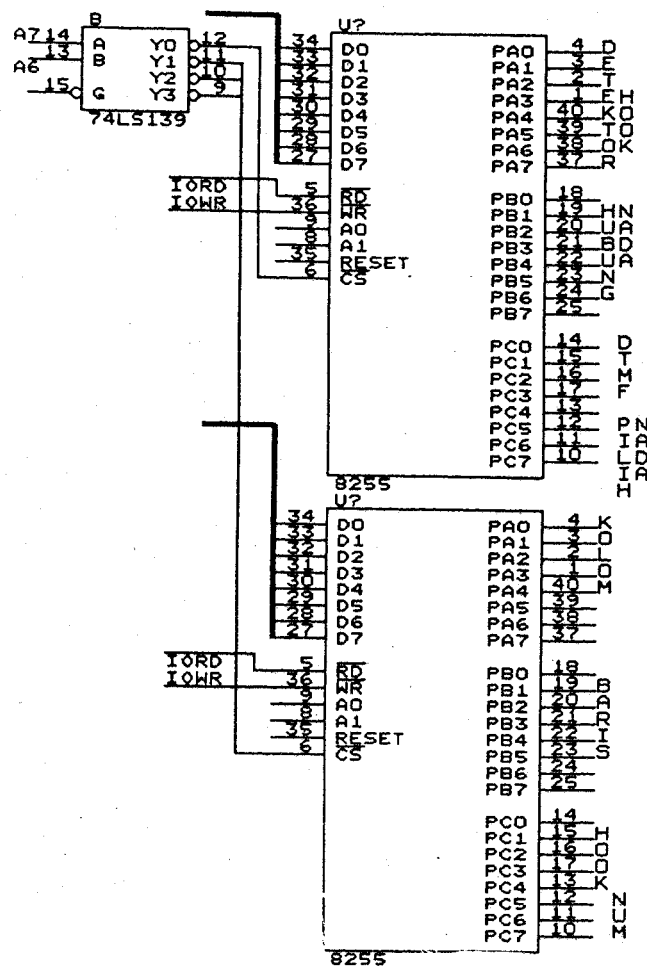
- 8255/2 : Port A : Mengontrol output baris dari time switching dan digunakan saat sinkronisasi output matrik switch di unit TDSW.

Port B : Mengeluarkan output dari memori yang berupa data time slot yang harus dikirim ke TDSW untuk menentukan outgoing-slot .

Port C : Sebagai masukan Scanning loop dan

DTMF, pada saat tertentu CPU akan melihat kondisi yang diterima dengan format :

x	x	0	0	= idle
x	x	0	1	= off-hook, -
x	x	1	0	= invalid
x	x	1	1	= off-hook, DTMF



GAMBAR 4.32

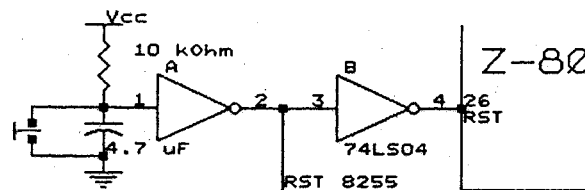
PENGALAMATAN DAN PEMBAGIAN PORT 8255/1 DAN 8255/2

IV.6.3 CLOCK UNTUK Z-80

Clock maksimum untuk Z-80 B adalah 6 MHz dan pada perencanaan ini CPU dikerjakan pada 4.096 MHz. Clock diambilkan dari clock utama 4,096 MHz dari timing unit dengan menambahkan inverter. Dengan clock yang sama dengan unit lain diharapkan tidak timbul masalah-masalah sinkronisasi antara pengendali dan terkontrol. Z-80 mempunyai persyaratan level minimum untuk logika '1' yaitu 4,4 volt, maka ditambahkan pull-up resistor 330 Ohm untuk menaikkan level TTL.(3,3 volt).

IV.6.4 PERENCANAAN RANGKAIAN RESET

Rangkaian reset digunakan untuk mereset Z-80 dan atau 8255. Digunakan rangkaian yang bersifat 'Power On self-reset' yaitu rangkaian ini akan membuat CPU reset saat rangkaian dihidupkan atau saat tombol reset ditekan.



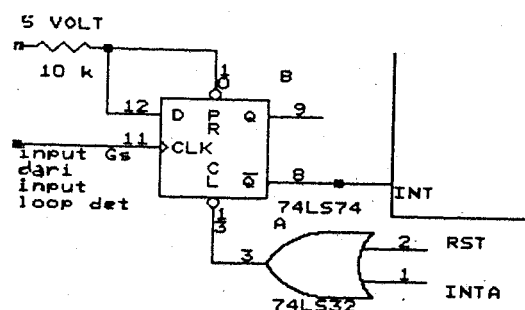
GAMBAR 4.33

RANGKAIAN POWER ON SELF-RESET

Selain untuk mereset Z-80 dan 8255 rangkaian reset juga berguna untuk mengaktifkan sinyal interupt bersama-sama dengan sinyal acknowledge (INTA) yang merupakan OR dari IORQ dan M1.

IV.6.5 RANGKAIAN INTERRUPT

Interrupt akan diijinkan jika sudah ada pengakuan dan tidak sedang direset. Pada PABX ini input interrupt diperoleh dari off-hook detektor (GS) dan dengan menggunakan D flip-flop sebagai pentransfer data. Input GS akan diterima sebagai interrupt input jika ada pengakuan INTA yaitu IORQ OR M1 atau input GS akan ditransfer ke INT input jika "INTA OR RST = 0" Tujuan interrupt pada rangkaian ini adalah mengenal ekstention atau trunk yang sedang off-hook. Setiap kali diijinkan Z-80 akan membaca data dari port C tiap kali interrupt.



GAMBAR 4.34

PERENCANAAN RANGKAIAN INTERRUPT

IV.7 PERENCANAAN PERANGKAT LUNAK

Pada sub-bab ini dijelaskan program yang mengatur kerja sistem PABX yang dibuat. Program ditulis dalam bahasa assembly yang nantinya program tersebut disimpan dalam ROM, yang meskipun catu daya dimatikan program tersebut akan tetap berada dalam memori. EPROM akan berisi program inisialisasi, program operasi umum dan program switching.

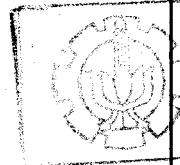
Sedangkan RAM menyimpan sementara data-data proses dan pemanggilan, diantaranya :

- Keadaan status saluran (trunk dan ekstention) sekarang,
- Data status saluran sebelum diperbarui,
- Penandaan time slot dan status PCM,
- Data urutan pemanggilan (prioritas),
- Counter untuk timing detektor nomor,
- Pengenalan nomor DTMF,
- Status trunk,
- Alamat pengirim/penerima,
- Alamat penerima/pengirim,
- Stack data untuk mikroprosesor.

Secara garis besar program yang dibuat terdiri dari dua bagian yang meliputi :

1. Program Inisialisasi

Berisi program konfigurasi sistem dan operating sistem secara umum. Diletakkan mulai alamat 0000H dan maksimum



akan menempati 07FFH.

2. Program Switching

Untuk proses yang digunakan berulang-ulang (supervisory, ringing, dan switching) dimasukkan pada program ini. Prosedur-prosedur dan routine switching diletakkan pada ROM2 (1000-1FFF).

Konfigurasi dari perangkat keras disesuaikan dengan kondisi perangkat keras, keadaan I/O dan memori map. Memori map dari perangkat lunak ditentukan oleh :

- a. EPROM 2716 dengan lokasi memori 0000 - 07FFH
- b. EPROM 2732 dengan lokasi memori 1000 - 1FFFH
- c. RAM 6116 dengan lokasi memori 2000 - 27FFH
- d. PPI 8255/1 yang memiliki memiliki lokasi pada 40-43H, yang terdiri dari :

Port A (40H) sebagai pendeteksi 32 kanal input dan diharapkan dapat menerima data 00000000 sampai 00111111 yang merupakan kondisi saluran 1 sampai 32.

Port B (41 H) sebagai penggerak relay penghubung nada, data dikirimkan sebagai data 00H - 3FH.

Port C (42H) berfungsi sebagai detektor DTMF dan pemilih nada.

Alamat 43H menunjukkan kondisi menerima control word CW.

- e. PPI 8255/2 dengan lokasi 80H-83H yang difungsikan sebagai pengendali TDSW dan terdiri dari :

Port A (80H) memilih baris dari matriks dengan data 00H sampai 3FH.

Port B (81H) memilih kolom dengan data dari 00H-3FH.

Port C (82H) merupakan unit deteksi kondisi loop/DTMF.

Alamat 83H ditempati oleh control word CW.

IV.7.1 PROGRAM INISIALISASI

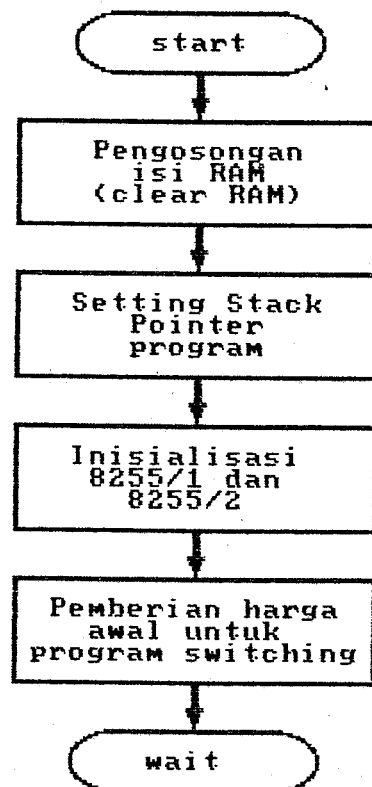
Diagram alir program inisialisasi ditunjukkan pada gambar 4.36. Program inisialisasi digunakan pada awal kerja sistem, yaitu setelah catu daya dihidupkan atau setelah CPU menerima sinyal reset. Diantara isi program inisialisasi adalah :

- o saat awal program ini semua isi RAM dikosongkan dengan memberi data 00H pada setiap lokasi RAM,

- o program menentukan lokasi ingatan yang digunakan untuk 'stack-pointer'. Dengan ditentukannya stack pointer dapat dibuat tabel yang ditempati data keadaan ekstention dan trunk yang digunakan oleh program berikutnya dan pada awalnya tabel ini diisi dengan data 00H.

- o Selanjutnya program menginisialisasi PPI 8255/1 dan 8255/2 yang berfungsi sebagai unit input-output.

- o Melakukan proses dengan mengambil program-program (prosedur dan subroutine pada program switching).



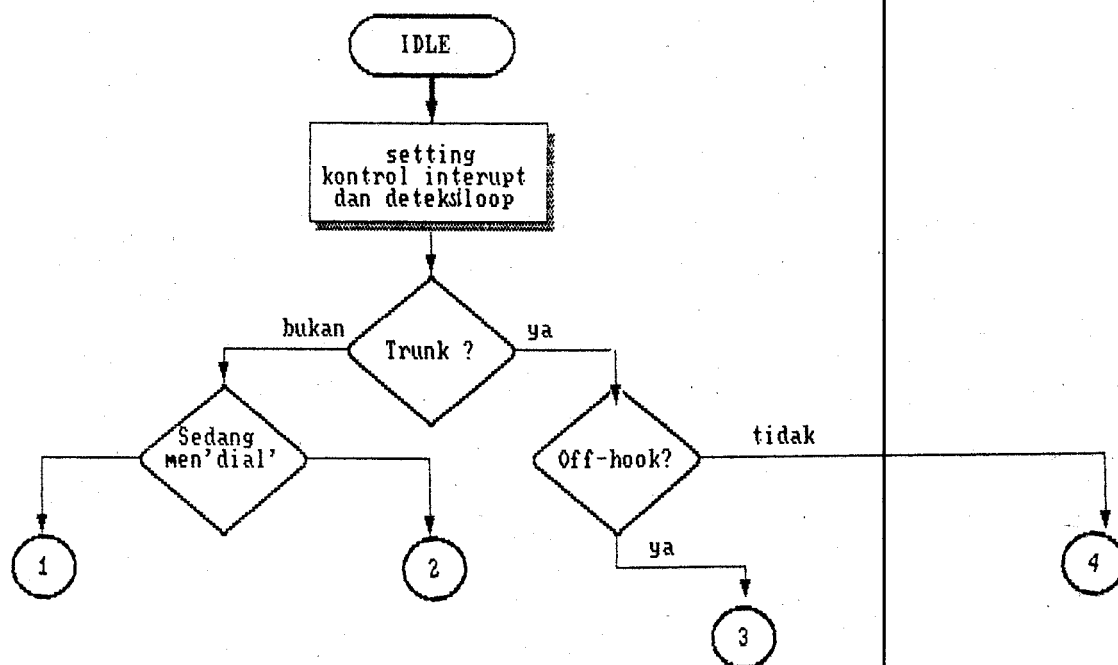
GAMBAR 4.36

DIAGRAM ALIR PROGRAM INISIALISASI

IV.7.2 PROGRAM SWITCHING

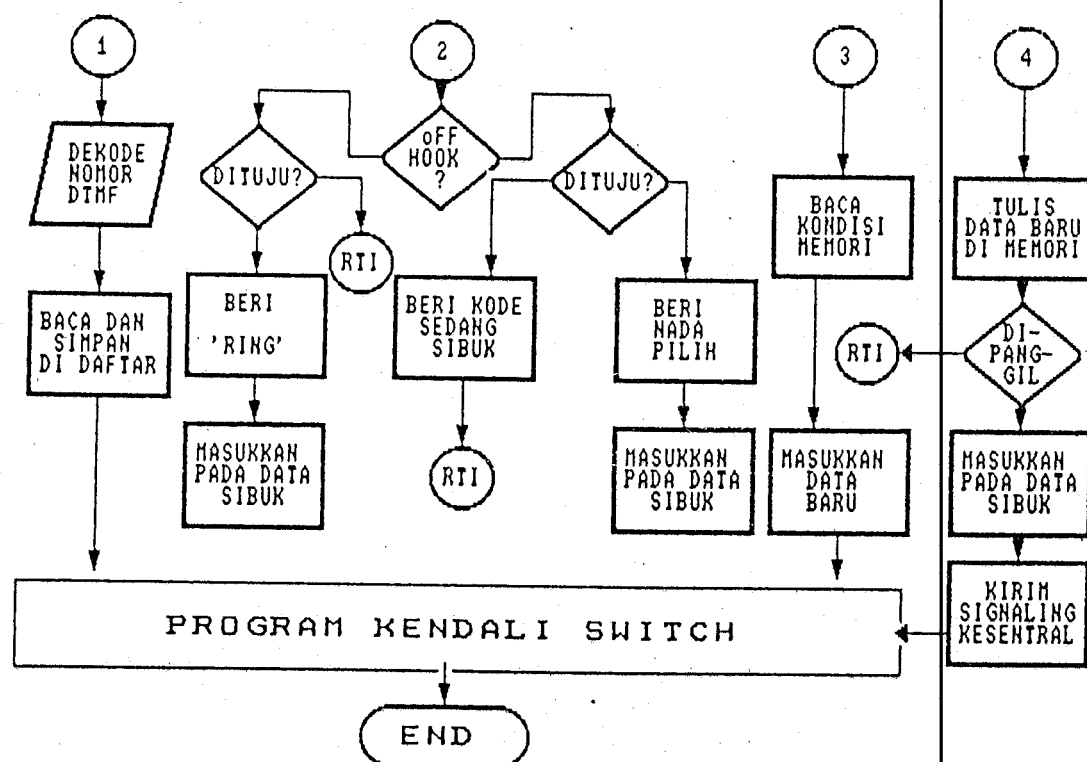
Fungsi program switching adalah :

- o Program untuk deteksi saluran (hookdet)/Scanning.
- o menerima data dari program interupt dan memberikan tanda-tanda pada program interupt mengenai kondisi nada yang diberikan dan kondisi switch..
- o mengatur pemberian nada (panggil, sibuk dan ringing) dari ekstention atau trunk dan melakukan fungsi switch-ing sesuai data dari program interupt.
- o membandingkan data scanning dan data pada RAM
- o melakukan switching berdasarkan data pada RAM.



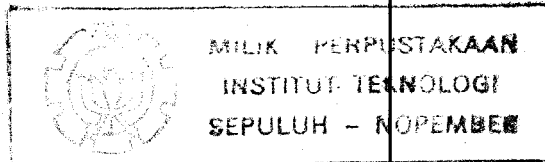
GAMBAR 4.37

DIAGRAM ALIR PROGRAM SWITCHING



GAMBAR 4.37

DIAGRAM ALIR PROGRAM SWITCHING (LANJUTAN)



B A B V

KESIMPULAN DAN SARAN

V.1 KESIMPULAN

Dari hasil Studi, perencanaan, dan pembahasan karakteristik dari Model PABX dengan Pengontrol Mikroprosesor Z-80 dapat diambil kesimpulan sebagai berikut :

1. Sistem switching digital sangat mungkin dan harus dikembangkan karena dukungan komponen semikonduktor yang semakin canggih dan harga yang semakin murah.
2. Untuk diterapkan pada lingkungan yang analog, Sebuah PABX digital minimal memerlukan line interface dengan fungsi BORSCH, switching network (TDSW) dan pengontrol berbasis mikroprosesor.
3. Sistem timing merupakan bagian yang sangat penting pada sistem digital, sesuai fungsinya sebagai dasar operasi transfer data, TDM dan clock bagi mikroprosesor.
4. Dengan sistem pengkodean PCM memungkinkan model diaplikasikan sebagai Channel bank D4E, dengan seluruh incoming slot dihubungkan ke satu outgoing slot.
5. Sistem berbasis mikroprosesor memerlukan perangkat keras minimum yang berupa CPU, ROM, RAM dan unit masukan keluaran (I/O) serta interface ke terkontrol.

6. Pada sistem switching digital, ROM berfungsi menyimpan program inisialisasi dan switching. Sedangkan RAM berperan sebagai penyimpan kondisi sistem (state memori).

VI.1 S A R A N

1. Dalam merencanakan (disain) sistem digital, hendaknya memperhitungkan masalah-masalah yang berhubungan dengan lambatan propagasi (propagation delay), pembebanan (fan in - fan out), dan perkawatan (wiring).
2. Untuk menguji operasi perangkat keras sistem mikroprosesor tanpa campur tangan perangkat lunak, dapat dilakukan dengan menggunakan cara statis (stimulus statik test/SST). Gambaran SST dapat dilihat pada lampiran 2.
3. Untuk optimasi perangkat lunak dapat digunakan emulator sebagai penguji operasi dari perangkat lunak, tanpa campur tangan perangkat keras.
4. Apabila seluruh sistem telah dirakit dan dianggap valid sistem dapat diuji secara terpadu (perangkat keras dan lunak secara simulasi menggunakan In Circuit Emulator.
5. Selain menggunakan komponen gerbang logika diskrit (AND, multiplek dan demultiplek), perencanaan switch digital dapat dikembangkan menggunakan teknologi deret logika yang dapat diprogram (Programmable Logic Array) dan teknologi yang sejenis.

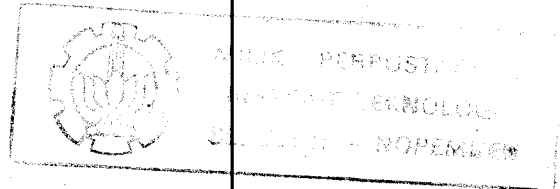
6. Dengan pertimbangan semakin murah dan semakin mudahnya memperoleh komponen semikonduktor dan mikroprosesor, maka perlu dilakukan studi yang lebih mendalam mengenai penerapan teknologi sistem digital dan mikroprosessor dalam sistem telepon dan sentral.

DAFTAR PUSTAKA

1. Adam Osborne, Introduction to Microcomputer (Some Real Product), Sybex, Paris, France, 1976.
2. Amos E. Joul Jr, Circuit Switching, Electronic Communication Handbook, Van Nostrand Reinhold Co., California 1985.
3. Arthur BW, Designer Handbook of Integrated Circuit, McGraw-Hill, NY, 1985.
4. Bellamy, John, Digital Telephony, John Willey & Sons, Singapore, 1985.
5. Byers TJ, Microprocessor support Chips (Theory, Design and Application), MicroText/McGraw-hill co., New York.
6. Daniel H. Sheingold, Analog Digital Conversion Notes, Analog devices Inc., Massachussetts, USA, 1983.
7. Direktorat Jenderal Pos dan Telekomunikasi, Fundamental Technical Plan, Deparpostel, 1985.
8. Donald K. Melvin, Mikroprocessor Application in Telephony, Intel corp., Santa-clara, 1985.
9. Fike, John L., Understanding Telephone Electronics, Texas Instruments, Texas, 1985.
10. Freeman, Roger L., Telecommunication System Engineering, Wiley Interscience, Canada, 1980.

11. Intel Corp, Telecommunication Devices, _____
12. I T U , CCITT Recommendation Red Book, International Telecommunication Union, Geneve, 1985.
13. James W. Coffron, Practical Hardware Detail for 8080, 8085, Z-80 and 6800 Microprocessor, Prentice Hall Inc., Englewood Cliffs, New Jersey, 1981.
14. James W. Coffron, Z-80 Application, Sybex Inc., 1983.
15. Joan Riff, A Guide to the Complete Z-80 Emulator, Computer Wise Consulting Service, Mc. Lean, _____
16. John Uffenbeck, Microcomputer and Programming microprocessor the 8080, 8085 and Z-80 programing, interfacing, and trouble shooting, Prentice-Hall Inc., Englewood - Cliffs, New-Jersey, 1985.
17. Jouseph Joubert, Digital Telephony, Stokholm, January, 1989.
18. Keiser BE/Eugene S, Digital Telephony and Network Integration, Van Nostrand-Reinholds Co., California, 1985.
19. Lance R. Lavalthal, Z-80 Assembly Language Programming, Osborne-McGraw Hill, McGraw-Hill, Singapore, 1988.
20. Millman-Halkias, Integrated Electronics, McGraw-Hill, Tokyo, 1983.
21. Nashelsky L., Introduction to Digital Technology, John-Wiley and Sons, New-York, 1977.

22. National, Data Acquisition Handbook, National Semiconductor Co., 1987.
23. Paul Bates, Practical Digital & Data Communication, Reston book, Prentice Hall Inc., New Jersey, 1987.
24. Robinson, Phillips R, The Programming Guide to the Z-80 Chips, TAB book Inc., Palo Alto, 1984.
25. Rodney Zaks/ Austin Lesea, Microprocessor Interfacing Techniques, Third Edition, Sybex inc., 1979.
(Terjemahan oleh Sofyan H. Nasution, Teknik Perantaraan Mikroprosesor, Penerbit Erlangga, Jakarta, 1988).
26. Smith, David R., Digital Transmission System, Van Nostrand Reinhold co., New York, 1985.
27. Tischler, Morris, Experiments in Telecommunications, McGraw-Hill book co., Sidney, 1981.
28. Wasito S, Kumpulan Data Penting Komponen Elektronika, penerbit Multi-Media, Jakarta, 1985.
29. Wasito S, Vademecum Elektronika, Multi-media Gramedia, Jakarta, 1985.



LAMPIRAN A

STATIC STIMULUS TEST

SST atau Static Stimulus Testing adalah salah satu cara untuk mencari kesalahan perangkat keras peralatan berbasis mikroprosesor. SST dapat digunakan untuk dua kategori sistem, yaitu :

- Menganalisa kegagalan pada sistem yang sedang berjalan tetapi gagal (tidak dapat) mengeksekusi perangkat-lunak.
- Menguji sebuah prototipe yang belum pernah beroperasi, belum pernah dianalisa ataupun perangkat lunaknya belum lengkap. Dengan SST memungkinkan untuk mencari kesalahan tanpa campur tangan perangkat lunak.

Pada model ini SST digunakan dalam pengujian operasi bus-bus : Address bus A0-A15

Data bus D0- D7

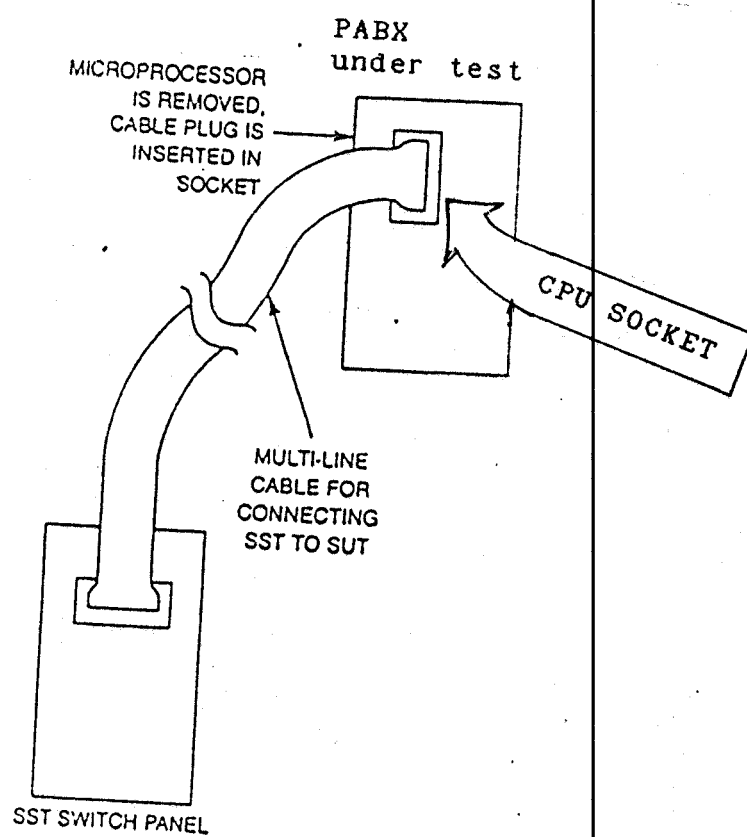
$\overline{M1}$, \overline{MREQ} , \overline{IOREQ} , \overline{RD} , \overline{WR} , \overline{RFSH} , \overline{HALT} DAN \overline{BUSA}

Langkah pengujian sistem menggunakan SST adalah sebagai berikut :

- Pertama*, melepaskan mikroprosesor (CPU) dari sistem dan menggantikannya dengan kabel yang menghubungkan sistem yang diuji (System Under Test SUT) serta panel switch SST.

- b. Kedua, menguji validitas dari address bus. Dengan mengubah-ubah posisi DIP switch A0-A15 pada SST akan didapat 64k kombinasi logika. Kombinasi logika A0-A16 pada output SST harus sesuai dengan output buffer address.
- c. Dengan volt meter dan oscilloscope akan dapat diuji aktifitas dari komponen yang diuji berdasarkan alamat yang dikirim.
- d. Dengan cara yang sama dapat diuji Data bus, dengan mengubah kondisi DIP switch dapat dilihat pengaruhnya terhadap memori dan input-output device.
- e. Sinyal kontrol SST mewakili sinyal kendali Z-80 yang berupa sinyal $\overline{M1}$, \overline{MREQ} , \overline{IOREQ} , \overline{RD} , \overline{WR} , \overline{RFSH} , \overline{HALT} , dan \overline{BUSA} . Dan dengan mengubah kondisi sinyal tersebut berdasarkan perubahan toggle switch SPDT pada SST bisa dideteksi apakah operasi memori dan I/O sesuai yang diminta.

Dari hasil pengujian menggunakan SST menunjukkan bahwa secara perangkat keras pengalamatan memori dan I/O sudah benar, Secara umum peralatan yang dikontrol dapat menerima sinyal-sinyal dari pengendali.



GAMBAR A. 1

HUBUNGAN ANTARA SST DENGAN PENGENDALI MODEL PABX

LAMPIRAN B
USULAN TUGAS AKHIR

- A. Judul : Studi Perencanaan Model PABX digital dengan Pengontrol Mikroprosesor Z-80.
- B. Ruang Lingkup : - Teleponi telegrafi
- Digital teleponi
- Mikroprosesor
- C. Latar Belakang : Penerapan teknologi semikonduktor dan digital dalam bidang teleponi telah mulai dilakukan, diantaranya penerapannya pada PABX digital. Karena itu diperlukan pengetahuan tentang parameter dan aspek-aspek disain dari sebuah PABX digital dalam rangka ikut mengembangkan sistem digital di Indonesia.
- D. Penelaahan Studi : Untuk membentuk sebuah PABX digital diperlukan rangkaian penghubung ke pelanggan dan ke trunk (line interface), sistem pengendali (control), sistem switching dan pengkode sinyal ke digital (codec)..

Line interface harus dapat menghubungkan saluran ke PABX, mengkodekan sinyal, mencatu telepon, dapat mendeteksi kondisi saluran dan memberikan sinyal-sinyal yang diperlukan.

Sebagai pengontrol diperlukan sistem minimum mikroprosesor.

Sistem switching digital harus mempunyai gabungan antara time dan space switching.

E. Tujuan

: Melakukan studi mengenai switching dan parameter PABX digital dan menggunakannya dalam perencanaan model PABX digital dengan pengontrol mikroprosesor Z-80.

F. Langkah-langkah

- : - Studi parameter PABX digital,
- Studi tentang sistem digital dan mikroprosesor,
- Perencanaan model,
- Penulisan,

H. Jadwal Kegiatan :

Bulan ke	I	II	III	IV	V	VI
1. Studi tentang PABX digital	■	■				
2. Studi tentang sistem digit dan mikropro-sesor		■	■			
3. Perencanaan Model			■	■	■	
4. Penyusunan Laporan					■	■

I. Relevansi : Dengan selesainya tugas akhir ini diharapkan diperoleh gambaran mengenai sistem dan parameter PABX digital serta dapat digunakan sebagai titik tolak pengembangan PABX di Indonesia.

RIWAYAT HIDUP



NAMA : ENDROYONO
TEMPAT, TGL. LAHIR : BLITAR, 4 APRIL 1965
ALAMAT : Jl. TANJUNG III/6
BLITAR
ORANG TUA : PURNOMO HADIPRANOWO
PEKERJAAN : GURU (PNS)

RIWAYAT PENDIDIKAN :

LULUS SD SUKOREJO I BLITAR TAHUN 1977
LULUS SMP NEGERI II BLITAR TAHUN 1981
LULUS SMA NEGERI I BLITAR TAHUN 1984
DITERIMA DI JURUSAN TEKNIK ELEKTRO FTI ITS PADA 1984,
DENGAN NOMOR POKOK (NRP) 2842200206,
SEJAK 1987 MEMILIH BIDANG STUDI TELEKOMINIKASI.

KEGIATAN-KEGIATAN :

- STUDI PENGEMBANGAN MANAJEMEN MAHASISWA, ITS, 1987
- ANGGOTA TEAM PENELITI RADIO FM 104 MHz, 1988
- PANITIA LOMBA CIPTA ELEKTROTEKNIK (LCE), JAWA TIMUR, 1988
- SEKRETARIS TEAM PENELITIAN TV KABEL ITS, 1988
- SEMINAR NASIONAL ELEKTROTEKNIK 1988, SURABAYA
- SEMINAR IEEE INDONESIA SECTION 1989, JAKARTA
- PANITIA (OC) "THE THIRD ASEAN CELLULAR RADIO WORKSHOP (UNDP/ITU)", 1989
- ASISTEN BIDANG STUDI TELEKOMUNIKASI PERODE 1987 S/D 1989.